

AM

DIALOG(R)File 352:Derwent WPI

(c) 2003 Thomson Derwent. All rts. reserv.

014417274 **Image available**

WPI Acc No: 2002-237977/200229

XRPX Acc No: N02-183244

**Active matrix electronic device driving method used for
electroluminescent display, involves providing clear period when address
period overlaps next address period**

Patent Assignee: SEMICONDUCTOR ENERGY LAB (SEME)

Inventor: KIMURA H; TANADA Y

Number of Countries: 002 Number of Patents: 002

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
US 20010035849	A1	20011101	US 2001836719	A	20010417	200229 B
JP 2002006808	A	20020111	JP 2001119608	A	20010418	200229

Priority Applications (No Type Date): JP 2000118619 A 20000419

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
-----------	------	-----	----	----------	--------------

US 20010035849	A1	43	G09G-003/30
----------------	----	----	-------------

JP 2002006808	A	28	G09G-003/30
---------------	---	----	-------------

Abstract (Basic): US 20010035849 A1

NOVELTY - A clear period T_{cm}' is provided to drive an electronic device when the address period T_{am}' of a sub-frame period S_{fm}' overlaps with an address period T_{am+1}' of a sub-frame period S_{fm+1}' . The clear period starts upon completion of sustain period T_{sm}' and ends upon start of the address period T_{am+1}' to drive the electronic device.

DETAILED DESCRIPTION - An INDEPENDENT CLAIM is also included for electronic device.

USE - For driving an active matrix electronic device (claimed) such as liquid crystal displays, EL (electroluminescent) displays, video camera, head mount display, DVD (Digital Video Disk) player, PC (personal computer), cellular phone, audio system for automobiles, digital camera, navigation system, audio set, notebook PC, game apparatus, mobile computer, portable game machine, electronic book.

ADVANTAGE - The image is displayed normally even when a sustain

period is shorter than an address period with high duty ratio, because the overlap of the address period is avoided by providing clear period when address period overlaps.

DESCRIPTION OF DRAWING(S) - The figure shows the timing chart illustrating the driving method of the electronic device.

pp: 43 DwgNo 1/23

Title Terms: ACTIVE; MATRIX; ELECTRONIC; DEVICE; DRIVE; METHOD;
ELECTROLUMINESCENT; DISPLAY; CLEAR; PERIOD; ADDRESS; PERIOD; OVERLAP;
ADDRESS; PERIOD

Derwent Class: P85; T01; T04; U14; W04; X22

International Patent Class (Main): G09G-003/30

International Patent Class (Additional): G09F-009/30; G09G-003/20;
H05B-033/14

File Segment: EPI; EngPI

DIALOG(R)File 347:JAP10
(c) 2003 JPO & JAP10. All rts. reserv.

07138436 **Image available**
ELECTRONIC DEVICE AND ITS DRIVING METHOD

PUB. NO.: 2002-006808 [JP 2002006808 A]
PUBLISHED: January 11, 2002 (20020111)
INVENTOR(s): KIMURA HAJIME
TANADA YOSHIFUMI
APPLICANT(s): SEMICONDUCTOR ENERGY LAB CO LTD
APPL. NO.: 2001-119608 [JP 20011119608]
FILED: April 18, 2001 (20010418)
PRIORITY: 2000-118619 [JP 2000118619], JP (Japan), April 19, 2000
(20000419)
INTL CLASS: G09G-003/30; G09F-009/30; G09G-003/20; H05B-033/14

ABSTRACT

PROBLEM TO BE SOLVED: To provide a new driving method capable of securing a high duty ratio and also capable of displaying a picture (video) normally even in the case where an electronic device has a sustenance period shorter than an address period, and its driving is hardly affected by the rounding of a signal waveform in a driving method in which digital gradation and time-dependent gradation are combined in the electronic device.

SOLUTION: In this driving method, it is possible to set the length of a sustenance period 104 independently of the length of an address period 103 by providing a clear period 105 forcibly in a period before the address period of a next frame is started after a sustenance period 104 is completed in a sub-frame period 102 having a sustenance period shorter than the address period. Since this non-display period is provided by changing the potential of a holding capacitance line, driving of the non-display period is hardly affected by the rounding of the signal waveform because it is different from a method in which a non-display period is provided by changing the potential of a cathode wiring.

COPYRIGHT: (C)2002, JPO

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(II) 許出願公開番号

特開2002-6808

(P2002-6808A)

(43) 公開日 平成14年1月11日 (2002.1.11)

(51) Int.Cl. ¹	識別記号	F I	マーク ² (参考)
G 09 G 3/30		G 09 G 3/30	J 3 K 007
G 09 F 9/30	3 3 8	G 09 F 9/30	3 3 8 5 C 080
	3 6 5		3 6 5 Z 5 C 094
G 09 G 3/20	6 1 1	G 09 G 3/20	6 1 1 J
	6 2 1		6 2 1 A

審査請求 未請求 請求項の数26 OL (全 28 頁) 最終頁に続く

(21) 出願番号 特願2001-119608(P2001-119608)

(71) 出願人 000153878

株式会社半導体エネルギー研究所
神奈川県厚木市長谷398番地

(22) 出願日 平成13年4月18日 (2001.4.18)

(72) 発明者 木村 篤

神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

(31) 優先権主張番号 特願2000-118619(P2000-118619)

(72) 発明者 棚田 好文

神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

(32) 優先日 平成12年4月19日 (2000.4.19)

(33) 優先権主張国 日本 (JP)

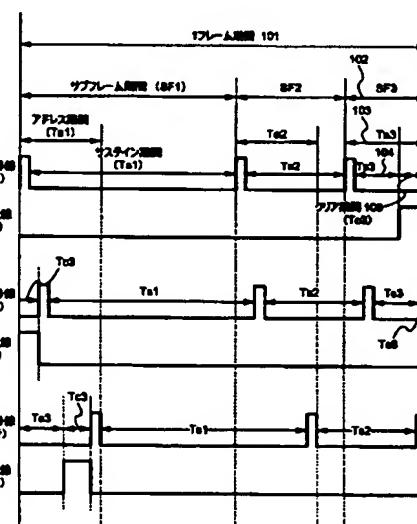
最終頁に続く

(54) 【発明の名称】 電子装置およびその駆動方法

(57) 【要約】

【課題】 電子装置における、デジタル階調と時間階調とを組み合わせた駆動方法において、高いデューティー比を確保し、かつアドレス期間よりも短いサステイン期間を有する場合にも正常に画像(映像)の表示が可能であり、かつ信号波形のなまりの影響を受けにくい新規の駆動方法を提供することを課題とする。

【解決手段】 アドレス期間よりも短いサステイン期間を有するサブフレーム期間102において、サステイン期間104の終了後、次のサブフレーム期間のアドレス期間が開始されるまでの期間、強制的にクリア期間105を設けて、サステイン期間104の長さを、アドレス期間103の長さとは無関係に設定することを可能とする。この非表示期間は、保持容量線の電位を変えることにより行うため、陰極配線の電位を変えることで非表示期間を設ける方法と異なり、信号波形のなまりによる影響を受けない。



【特許請求の範囲】

【請求項1】1フレーム期間はn個のサブフレーム期間SF₁、SF₂、…、SF_nを有し、

前記n個のサブフレーム期間はそれぞれアドレス(書き込み)期間 $T_{a,1}, T_{a,2}, \dots, T_{a,n}$ と、サステイン(点灯)期間 $T_{s,1}, T_{s,2}, \dots, T_{s,n}$ とを有する電子装置の駆動方法において、

前記n個のサブフレーム期間のうち少なくとも1個のサブフレーム期間において、前記アドレス(書き込み)期間と前記サステイン(点灯)期間が重複している期間を有し、

サブフレーム期間SF_l (1 ≤ m ≤ n)でのアドレス
 (書き込み)期間Ta_mと、サブフレーム期間SF_{l+1}でのアドレス
 (書き込み)期間Ta_{m+1}が重複する場合に、前記サブフレーム期間SF_lでのサステイン(点灯)期間SF_lの終了後、前記アドレス(書き込み)期間Ta_{m+1}の開始までの期間にクリア期間Tc_{m+1}を有することを特徴とする電子装置の駆動方法。

【請求項 2】 1 フレーム期間は n 個のサブフレーム期間 SF₁, SF₂, …, SF_n を有し、

前記n個のサブフレーム期間はそれぞれアドレス(書き込み)期間 $T_{a,1}, T_{a,2}, \dots, T_{a,n}$ と、サステイン(点灯)期間 $T_{s,1}, T_{s,2}, \dots, T_{s,n}$ とを有する電子装置の駆動方法において、

前記n個のサブフレーム期間のうち少なくとも1個のサブフレーム期間において、前記アドレス(書き込み)期間と前記サステイン(点灯)期間が重複している期間を有し、

j ($0 < j$) フレーム目のサブフレーム期間 S_F , でのアドレス (書き込み) 期間 T_a,j , と, $j+1$ フレーム目のサブフレーム期間 S_F , でのアドレス (書き込み) 期間 $T_a,j+1$ が重複する場合に、 j フレーム目のサブフレーム期間 S_F , でのサステイン (点灯) 期間 S_F , の終了後、前記 $j+1$ フレーム目のサブフレーム期間 S_F , でのアドレス (書き込み) 期間 $T_a,j+1$ の開始までの期間にクリア期間 T_c , を有することを特徴とする電子装置の駆動方法。

【請求項3】1フレーム期間はn個のサブフレーム期間SF₁、SF₂、…、SF_nを有し、

前記n個のサブフレーム期間はそれぞれアドレス(書き込み)期間 $T_{a,1}$ 、 $T_{a,2}$ 、 \dots 、 $T_{a,n}$ と、サステイン(点灯)期間 $T_{s,1}$ 、 $T_{s,2}$ 、 \dots 、 $T_{s,n}$ とを有する電子装置の駆動方法において、

あるサブフレーム期間 SF 、($1 \leq k \leq n$)において、アドレス(書き込み)期間の長さを t_{a_k} 、サステイン(点灯)期間の長さを t_{s_k} 、1ゲート信号線選択期間の長さを t_g 、($t_{a_k}, t_{s_k}, t_g > 0$)として、 $t_{a_k} > t_{s_k}$ が成立するとき

SF_iの有するクリア期間の長さを t_{c_i} ($t_{c_i} > 0$) とすると

常に、 $t_{C_1} \geq t_{A_1} - (t_{S_1} + t_{I_1})$ が成立することを特徴とする電子装置の駆動方法。

【請求項4】請求項1乃至請求項3のいずれか1項に記載の電子装置の駆動方法において、

前記クリア期間において入力されるクリア信号は、保持容量線駆動回路からの信号の入力によって、保持容量線の電位を上げる、もしくは保持容量線の電位を下げることによって与えられることを特徴とする電子装置の駆動方法。

10 【請求項5】請求項4に記載の電子装置の駆動方法において、

前記クリア期間中は、画像信号に関わらずエレクトロルミネッセンス素子が消灯することを特徴とする電子装置の駆動方法。

【請求項6】ソース信号線側駆動回路と、ゲート信号線側駆動回路と、保持容量線駆動回路と、画素部とを有し、

前記画素部は、複数のソース信号線と、複数のゲート信号線と、複数の電流供給線と、複数の保持容量線と、複数の画素とを有し。

前記複数の画素はそれぞれ、スイッチング用トランジスタと、エレクトロルミネッセンス駆動用トランジスタと、保持容量と、エレクトロルミネッセンス素子とを有し、

前記スイッチング用トランジスタのゲート電極は、ゲート信号線と電気的に接続され、

前記スイッチング用トランジスタのノット点をトライン領域は、一方はソース信号線と電気的に接続され、残る一方は前記エレクトロルミネッセンス駆動用トランジ

30 タイマーのゲート電極と電気的に接続され、
前記保持容量は、一方の電極は保持容量線と電気的に接
続され、残る一方の電極は、前記エレクトロルミネッセ
ンス駆動用トランジスタのゲート電極と電気的に接続さ
れ。

前記エレクトロルミネッセンス駆動用トランジスタのソース領域とドレイン領域は、一方は電流供給線と電気的に接続され、残る一方は前記エレクトロルミネッセンス素子の一方の電極と電気的に接続されていることを特徴とする電子装置。

40 【請求項7】請求項6に記載の電子装置において、前記保持容量線は、前記保持容量線駆動回路と電気的に接続され、前記保持容量線駆動回路から、振幅を持った信号が入力されることを特徴とする電子装置。

【請求項8】1フレーム期間はn個のサブフレーム期間

前記n個のサブフレーム期間はそれぞれアドレス(書き込み)期間 $T_{a1}, T_{a2}, \dots, T_{an}$ と、サステイン(点灯)期間 $T_{s1}, T_{s2}, \dots, T_{sn}$ とを有し、前記n個のサブフレーム期間のうち少なくとも1個のサ

5. ブフレーム期間において 前記アドレス(き込み)期

間と前記サステイン（点灯）期間が重複している期間を有し、
サブフレーム期間SF_m（ $1 \leq m \leq n$ ）でのアドレス（書き込み）期間T_{a_m}と、サブフレーム期間SF_{1..n}でのアドレス（書き込み）期間T_{a_1..n}とが重複する場合に、前記サブフレーム期間SF_mでのサステイン（点灯）期間SF_mの終了後、前記アドレス（書き込み）期間T_{a_1..n}の開始までの期間にクリア期間T_cを有する駆動方法によって動作することを特徴とする電子装置。
【請求項9】1フレーム期間はn個のサブフレーム期間SF₁、SF₂、…、SF_nを有し、
前記n個のサブフレーム期間はそれぞれアドレス（書き込み）期間T_{a_1}、T_{a_2}、…、T_{a_n}と、サステイン（点灯）期間T_{s_1}、T_{s_2}、…、T_{s_n}とを有し、
前記n個のサブフレーム期間のうち少なくとも1個のサブフレーム期間において、前記アドレス（書き込み）期間と前記サステイン（点灯）期間が重複している期間を有し、
 j ($0 < j$) フレーム目のサブフレーム期間SF_jでのアドレス（書き込み）期間T_{a_j}と、 $j+1$ フレーム目のサブフレーム期間SF_{j+1}でのアドレス（書き込み）期間T_{a_{j+1}}とが重複する場合に、 j フレーム目のサブフレーム期間SF_jでのサステイン（点灯）期間SF_jの終了後、前記 $j+1$ フレーム目のサブフレーム期間SF_{j+1}でのアドレス（書き込み）期間T_{a_{j+1}}の開始までの期間にクリア期間T_cを有する駆動方法によって動作することを特徴とする電子装置。
【請求項10】1フレーム期間はn個のサブフレーム期間SF₁、SF₂、…、SF_nを有し、
前記n個のサブフレーム期間はそれぞれアドレス（書き込み）期間T_{a_1}、T_{a_2}、…、T_{a_n}と、サステイン（点灯）期間T_{s_1}、T_{s_2}、…、T_{s_n}とを有し、あるサブフレーム期間SF_k ($1 \leq k \leq n$)において、アドレス（書き込み）期間の長さをt_{a_k}、サステイン（点灯）期間の長さをt_{s_k}、1ゲート信号線選択期間の長さをt_g ($t_a_k + t_s_k + t_g > 0$)として、 $t_a_k > t_s_k$ が成立すると、SF_kの有するクリア期間の長さをt_{c_k} ($t_c_k > 0$)とすると、常に $t_c_k \geq t_a_k - (t_s_k + t_g)$ が成立することを特徴とする電子装置。
【請求項11】請求項8乃至請求項10のいずれか1項に記載の電子装置において、前記クリア期間において入力されるクリア信号は、保持容量線駆動回路からの信号の入力によって、保持容量線の電位を上げる、もしくは保持容量線の電位を下げることによって与えられることを特徴とする電子装置。
【請求項12】請求項11に記載の電子装置において、前記クリア期間中は、画像信号に間わらずエレクトロルミネッセンス素子が消灯することを特徴とする電子装

置。
【請求項13】請求項1乃至請求項5のいずれか1項に記載の電子装置の駆動方法を用いることを特徴とするエレクトロルミネッセンスディスプレイ。
【請求項14】請求項1乃至請求項5のいずれか1項に記載の電子装置の駆動方法を用いることを特徴とするビデオカメラ。
【請求項15】請求項1乃至請求項5のいずれか1項に記載の電子装置の駆動方法を用いることを特徴とするヘッドマウントディスプレイ。
【請求項16】請求項1乃至請求項5のいずれか1項に記載の電子装置の駆動方法を用いることを特徴とするDVDプレーヤー。
【請求項17】請求項1乃至請求項5のいずれか1項に記載の電子装置の駆動方法を用いることを特徴とするパソコン用コンピュータ。
【請求項18】請求項1乃至請求項5のいずれか1項に記載の電子装置の駆動方法を用いることを特徴とする携帯電話。
【請求項19】請求項1乃至請求項5のいずれか1項に記載の電子装置の駆動方法を用いることを特徴とするカーオーディオ。
【請求項20】請求項6乃至請求項12のいずれか1項に記載の電子装置を用いることを特徴とするエレクトロルミネッセンスディスプレイ。
【請求項21】請求項6乃至請求項12のいずれか1項に記載の電子装置を用いることを特徴とするビデオカメラ。
【請求項22】請求項6乃至請求項12のいずれか1項に記載の電子装置を用いることを特徴とするヘッドマウントディスプレイ。
【請求項23】請求項6乃至請求項12のいずれか1項に記載の電子装置を用いることを特徴とするDVDプレーヤー。
【請求項24】請求項6乃至請求項12のいずれか1項に記載の電子装置を用いることを特徴とするパソコン用コンピュータ。
【請求項25】請求項6乃至請求項12のいずれか1項に記載の電子装置を用いることを特徴とする携帯電話。
【請求項26】請求項6乃至請求項12のいずれか1項に記載の電子装置を用いることを特徴とするカーオーディオ。
【発明の詳細な説明】
【0001】
【発明の属する技術分野】本発明は、電子装置の構成に関する。本発明は、特に、絶縁体上に作成される薄膜トランジスタ(TFT)を有するアクティブラチタリクス型電子装置の駆動方法およびそれを用いる電子装置に関する。

【従来の技術】近年、LCD（液晶ディスプレイ）に替わるフラットパネルディスプレイとして、エレクトロルミネッセンス（EL）素子を画素部に用いたELディスプレイが注目を集めており、活発な研究が行われている。

【0003】LCDには、駆動方式として大きく分けて2つのタイプがあった。1つは、STN-LCDなどに用いられているバッシブマトリクス型であり、もう1つは、TFT-LCDなどに用いられているアクティブマトリクス型であった。ELディスプレイにおいても、同様に、大きく分けて2種類の駆動方式がある。1つはバッシブマトリクス型、もう1つがアクティブマトリクス型である。

【0004】バッシブマトリクス型の場合は、EL素子の上部と下部とに、電極となる配線が配置されている。そして、その配線に電圧を順に加えて、EL素子に電流を流すことによって点灯させている。一方、アクティブマトリクス型の場合は、各画素にTFTを有し、各画素内で信号を保持出来るようになっている。

【0005】ELディスプレイに用いられているアクティブマトリクス型電子装置の構成例を図14に示す。図14（A）は全体回路構成図であり、基板1450の中央に画素部1453を有している。画素部の左右には、ゲート信号線を制御するためのゲート信号線側駆動回路1452が配置されている。ゲート信号線駆動回路1452は、片側配置でも良いが、回路動作の効率や信頼性を考慮すると、両側配置とするのが望ましい。画素部1453の上側には、ソース信号線を制御するためのソース信号線側駆動回路1451が配置されている。1画素分の拡大図を図14（B）に示す。1401は、画素に信号を書き込む時のスイッチング素子として機能するTFT（以下、スイッチング用TFTという）である。1402はEL素子1403に供給する電流を制御するための素子（電流制御素子）として機能するTFT（以下、エレクトロルミネッセンス駆動用TFTといい、EL駆動用TFTと表記する）である。TFTの動作としてソース接地が良いこと、EL素子1403の製造上の制約などから、EL駆動用TFTにはPチャネル型を用い、EL素子1403の陽極と電流供給線1407との間にEL駆動用TFT1402を配置する方式が一般的であり、多く採用されている。1404は、ソース信号線1406から入力される信号（電圧）を保持するための保持容量である。図14（B）での保持容量1404の一方の端子は、電流供給線1407に接続されているが、専用の配線を用いることもある。スイッチング用TFT1401のゲート端子は、ゲート信号線1405に、ソース端子は、ソース信号線1406に接続されている。また、EL駆動用TFT1402のドレイン端子はEL素子1403の陽極もしくは陰極に、ソース端子は電流供給線1407に接続されている。

【0006】EL素子は、エレクトロルミネッセンス（Electro Luminescence：電場を加えることで発生するルミネッセンス）が得られる有機化合物を含む層（以下、EL層と記す）と、陽極と、陰極とを有する。有機化合物におけるルミネッセンスには、一重項励起状態から基底状態に戻る際の発光（蛍光）と三重項励起状態から基底状態に戻る際の発光（リン光）とがあるが、本発明はどちらの発光を用いた発光装置にも適用可能である。

【0007】なお、本明細書では、陽極と陰極の間に設けられた全ての層をEL層と定義する。EL層には具体的に、発光層、正孔注入層、電子注入層、正孔輸送層、電子輸送層等が含まれる。基本的にEL素子は、陽極／発光層／陰極が順に積層された構造を有しており、この構造に加えて、陽極／正孔注入層／発光層／陰極や、陽極／正孔注入層／発光層／電子輸送層／陰極等の順に積層した構造を有していることもある。

【0008】また、本明細書中では、陽極、EL層及び陰極で形成される素子をEL素子と呼ぶ。

【0009】次に、同図14を参照して、アクティブマトリクス型電子装置の回路の動作について説明する。まず、ゲート信号線1405が選択されると、スイッチング用TFT1401のゲート電極に電圧が印加され、スイッチング用TFT1401が導通状態になる。すると、ソース信号線1406の信号（電圧）が保持容量1404に蓄積される。保持容量1404の電圧は、EL駆動用TFT1402のゲート・ソース間電圧 V_{cs} となるため、保持容量1404の電圧に応じた電流がEL駆動用TFT1402とEL素子1403に流れれる。その結果、EL素子1403が点灯する。

【0010】EL素子1403の輝度、つまりEL素子1403を流れる電流量は、EL駆動用TFT1402の V_{cs} によって制御出来る。 V_{cs} は、保持容量1404の電圧であり、それはソース信号線1406に入力される信号（電圧）である。つまり、ソース信号線1406に入力される信号（電圧）を制御することによって、EL素子1403の輝度を制御する。最後に、ゲート信号線1405を非選択状態にして、スイッチング用TFT1401のゲートを閉じ、スイッチング用TFT1401を非導通状態にする。その時、保持容量1404に蓄積された電荷は保持される。よって、EL駆動用TFT1402の V_{cs} は、そのまま保持され、 V_{cs} に応じた電流が、EL駆動用TFT1402を経由してEL素子1403に流れ続ける。

【0011】以上の内容に関しては、SID99 Digest : P372：“Current Status and futureof Light-Emitting Polymer Display Driven by Poly-Si TFT”，ASIA DISPLAY98 : P217：“High Resolution Light Emitting Polymer Display Driven by Low Temperature Polysilicon Thin Film Transistor with Integrated Driver”，Eu

ro Display99 Late News : P27 : "3.8 Green OLED with Low Temperature Poly-Si TFT" などに報告されている。

【0012】ところで、ELディスプレイの階調表現の方法には、アナログ階調方式とデジタル階調方式がある。前者のアナログ階調方式の場合、EL駆動用TFT 1402のゲート・ソース間電圧 V_{GS} を変化させて、EL素子1403に流れる電流を制御し、アナログ的に輝度を変化させる方法である。対して、後者のデジタル階調方式では、EL駆動用TFTのゲート・ソース間電圧 V_{GS} は、EL素子に全く電流が流れない範囲（点灯開始電圧以下）か、あるいは最大電流が流れる範囲（輝度飽和電圧以上）の2段階でのみ動作する。すなわちEL素子は、点灯状態と消灯状態のみをとる。

【0013】ELディスプレイにおいては、TFTのしきい値等の特性のばらつきが表示に影響しにくいデジタル階調方式が主に用いられる。しかし、デジタル階調方式の場合、そのままでは2階調表示しか出来ないため、別的方式と組み合わせて、多階調化を図る技術が複数提案されている。

【0014】そのうちの1つは、面積階調方式とデジタル階調方式を組み合わせる方式である。面積階調方式とは、点灯している部分の面積を制御して、階調を出す方式である。つまり、1つの画素を複数のサブ画素に分割し、点灯しているサブ画素の数や面積を制御して、階調を表現している。この方式の欠点としては、サブ画素の数を多くすることが出来ないため、高解像度化や、多階調化が難しいことである。面積階調方式については、Euro Display 99 Late News : P71 : "TFT-LEPD with Image Uniformity by Area Ratio Gray Scale"、IEDM 99 : P107 : "Technology for Active Matrix Light Emitting Polymer Displays"、などに報告がされている。

【0015】もう1つの多階調化を図る方式として、時間階調方式とデジタル階調方式を組み合わせる方式がある。時間階調方式とは、点灯している時間の差を利用して、階調を出す方式である。つまり、1フレーム期間を、複数のサブフレーム期間に分割し、点灯しているサブフレーム期間の数や長さを制御して、階調を表現している。

【0016】デジタル階調方式と面積階調方式と時間階調方式を組み合わせた場合については、IDW'99 : P171 : "Low-Temperature Poly-Si TFT Driven Light-Emitting-Polymer Displays and Digital Gray Scale for Uniformity" に報告されている。

【0017】

【発明が解決しようとする課題】図15は、デジタル階調と時間階調とをくみあわせた駆動方法におけるタイミングチャートである。図15(A)はアドレス(書き込み)期間とサステイン(点灯)期間とが、サブフレーム期間内で完全に分離しているのに対し、図15(B)で

は分離していない。

【0018】通常、時間階調を利用した駆動方法では、各ビット毎にアドレス(書き込み)期間とサステイン(点灯)期間とを設ける必要がある。アドレス(書き込み)期間とサステイン(点灯)期間とが完全に分離した駆動方法（各サブフレーム期間において、1画面分のアドレス(書き込み)期間が完全に終了してからサステイン(点灯)期間に入る方法）では、1フレーム期間内でアドレス(書き込み)期間の占める割合が大きくなり、またアドレス(書き込み)期間内でも、ある行のゲート信号線が選択されている期間は、図15(A)に示すように、他の行は書き込みも点灯も行われない状態にある期間1501が生ずるため、デューティー比（1フレーム期間におけるサステイン(点灯)期間の長さの割合）が大きく低下する。アドレス(書き込み)期間を短くするには動作クロックを上げる以外なく、回路の動作マージン等を考えると、多階調化には限界がある。対して、アドレス(書き込み)期間とサステイン(点灯)期間とを分離しない駆動方法では、たとえばk行目のゲート信号線選択期間の終了後、直ちにk行目のEL素子はサステイン(点灯)期間に入るために、他の行のゲート信号線選択期間の間にも、いずれかの画素は点灯していることになる。よって、よりデューティー比を高くするには有利な駆動方法といえる。

【0019】しかし、アドレス(書き込み)期間とサステイン(点灯)期間とが分離していない場合、以下のようないくつかの問題が生ずる。1つのアドレス(書き込み)期間の長さは、1行目のゲート信号線選択期間の開始から、最終行のゲート信号線選択期間の終了までである。ある時点では、異なる2つのゲート信号線の選択は行うことが出来ないため、アドレス(書き込み)期間とサステイン(点灯)期間とが分離していない駆動方法においては、サステイン(点灯)期間は、少なくともアドレス(書き込み)期間と同じ（正確には、「ゲート信号線1行目にて信号の書き込みが終了してから最終行での信号の書き込みが終了するまでの長さ」）かそれ以上の長さを必要とする。よって、多階調化を図る際には、サステイン(点灯)期間の最小単位が限られてしまう。図15(B)において、最小ビット分のサブフレーム期間SF

40,でのアドレス(書き込み)期間 T_a が終了するまでの期間と、次のフレーム期間での最初のアドレス(書き込み)期間が開始してからの期間が重複しないだけの、1502で示される部分の長さが、この最小単位となり、これよりも短いサステイン(点灯)期間を有する場合は、正常に表示を行うことが出来ない。よって、デジタル階調方式と時間階調方式を組み合わせた場合、サステイン(点灯)期間は2のべき乗の比をもって長さが決まることから、1フレーム期間の長さを考慮すると、多階調化が困難になる。

【0020】本発明は、主にデジタル階調と時間階調と

を組み合わせた駆動方法において、高いデューティー比を確保し、かつアドレス（書き込み）期間よりも短いサステイン（点灯）期間を有する場合にも正常に画像（映像）の表示を可能とする新規の駆動方法を提供することを課題とする。

【0021】

【課題を解決するための手段】上述した課題を解決するために、本発明においては以下の手段を講じた。

【0022】本発明の電子装置の駆動方法は、アドレス（書き込み）期間よりも短いサステイン（点灯）期間を有するサブフレーム期間において、サステイン（点灯）期間の終了後、次のサブフレーム期間のアドレス（書き込み）期間が開始されるまでの期間、強制的にE-L素子の非表示期間を設けてアドレス（書き込み）期間の重複を回避することにより、サステイン（点灯）期間の長さを、アドレス（書き込み）期間の長さとは無関係に設定することを可能とする。これにより、多階調化によって下位ビットのサステイン（点灯）期間が短くなった場合にも、アドレス（書き込み）期間の重複を回避し、正常な画像（映像）に表示が可能となる。

【0023】以下に、本発明の電子装置の構成について記載する。

【0024】請求項1に記載の本発明の電子装置の駆動方法は、1フレーム期間はn個のサブフレーム期間SF₁、SF₂、…、SF_nを有し、前記n個のサブフレーム期間はそれぞれアドレス（書き込み）期間T_{a1}、T_{a2}、…、T_{an}と、サステイン（点灯）期間T_{s1}、T_{s2}、…、T_{sn}とを有する電子装置の駆動方法において、前記n個のサブフレーム期間のうち少なくとも1個のサブフレーム期間において、前記アドレス（書き込み）期間と前記サステイン（点灯）期間が重複している期間を有し、サブフレーム期間SF_m（1≤m≤n）でのアドレス（書き込み）期間T_{am}と、サブフレーム期間SF_{m+1}でのアドレス（書き込み）期間T_{am+1}とが重複する場合に、前記サブフレーム期間SF_mでのサステイン（点灯）期間SF_mの終了後、前記アドレス（書き込み）期間T_{am+1}の開始までの期間にクリア期間T_cを有することを特徴としている。

【0025】請求項2に記載の本発明の電子装置の駆動方法は、1フレーム期間はn個のサブフレーム期間SF₁、SF₂、…、SF_nを有し、前記n個のサブフレーム期間はそれぞれアドレス（書き込み）期間T_{a1}、T_{a2}、…、T_{an}と、サステイン（点灯）期間T_{s1}、T_{s2}、…、T_{sn}とを有する電子装置の駆動方法において、前記n個のサブフレーム期間のうち少なくとも1個のサブフレーム期間において、前記アドレス（書き込み）期間と前記サステイン（点灯）期間が重複している期間を有し、j（0<j）フレーム目のサブフレーム期間SF_jでのアドレス（書き込み）期間T_{aj}と、j+1フレーム目のサブフレーム期間SF_{j+1}でのアドレス

（書き込み）期間T_{aj+1}とが重複する場合に、jフレーム目のサブフレーム期間SF_jでのサステイン（点灯）期間SF_jの終了後、前記j+1フレーム目のサブフレーム期間SF_{j+1}でのアドレス（書き込み）期間T_{aj+1}の開始までの期間にクリア期間T_cを有することを特徴としている。

【0026】請求項3に記載の本発明の電子装置の駆動方法は、1フレーム期間はn個のサブフレーム期間SF₁、SF₂、…、SF_nを有し、前記n個のサブフレーム期間はそれぞれアドレス（書き込み）期間T_{a1}、T_{a2}、…、T_{an}と、サステイン（点灯）期間T_{s1}、T_{s2}、…、T_{sn}とを有する電子装置の駆動方法において、あるサブフレーム期間SF_k（1≤k≤n）において、アドレス（書き込み）期間の長さをt_{a1}、サステイン（点灯）期間の長さをt_{s1}、1ゲート信号線選択期間の長さをt_g（t_{a1}、t_{s1}、t_g>0）として、t_{a1}>t_{s1}が成立すると、SF_kの有するクリア期間の長さをt_c（t_c>0）とすると、常に、t_c≥t_{a1}-（t_{s1}+t_g）が成立することを特徴としている。

【0027】請求項4に記載の本発明の電子装置の駆動方法は、請求項1乃至請求項3のいずれか1項に記載の電子装置の駆動方法において、前記クリア期間において入力されるクリア信号は、保持容量線駆動回路からの信号の入力によって、保持容量線の電位を上げる、もしくは保持容量線の電位を下げることによって与えられるこことを特徴としている。

【0028】請求項5に記載の本発明の電子装置の駆動方法は、請求項4に記載の電子装置の駆動方法において、前記クリア期間中は、画像信号に関わらずE-L素子が消灯することを特徴としている。

【0029】請求項6に記載の本発明の電子装置は、ソース信号線側駆動回路と、ゲート信号線側駆動回路と、保持容量線駆動回路と、画素部とを有し、前記画素部は、複数のソース信号線と、複数のゲート信号線と、複数の電流供給線と、複数の保持容量線と、複数の画素とを有し、前記複数の画素はそれぞれ、スイッチング用トランジスタと、E-L駆動用トランジスタと、リセット用トランジスタと、保持容量と、E-L素子とを有し、前記スイッチング用トランジスタのゲート電極は、ゲート信号線と電気的に接続され、前記スイッチング用トランジスタのソース領域とドレイン領域は、一方はソース信号線と電気的に接続され、残る一方は前記E-L駆動用トランジスタのゲート電極と電気的に接続され、前記リセット用トランジスタのゲート電極は、保持容量線と電気的に接続され、前記リセット用トランジスタのソース領域とドレイン領域は、一方は前記ゲート信号線と電気的に接続され、残る一方は前記E-L駆動用トランジスタのゲート電極と電気的に接続され、前記保持容量は、一方の電極は前記電流供給線と電気的に接続され、残る一方の

電極は前記E L駆動用トランジスタのゲート電極と電気的に接続され、前記E L駆動用トランジスタのソース領域とドレイン領域は、一方は電流供給線と電気的に接続され、残る一方は、前記E L素子の一方の電極と電気的に接続されていることを特徴としている。

【0030】請求項7に記載の本発明の電子装置は、請求項6に記載の電子装置において、前記保持容量線は、前記保持容量線駆動回路と電気的に接続され、前記保持容量線駆動回路から、振幅を持った信号が入力されることを特徴としている。

【0031】請求項8に記載の本発明の電子装置は、1フレーム期間はn個のサブフレーム期間SF₁、SF₂、…、SF_nを有し、前記n個のサブフレーム期間はそれぞれアドレス（書き込み）期間T_{a₁}、T_{a₂}、…、T_{a_n}と、サステイン（点灯）期間T_{s₁}、T_{s₂}、…、T_{s_n}とを有し、前記n個のサブフレーム期間のうち少なくとも1個のサブフレーム期間において、前記アドレス（書き込み）期間と前記サステイン（点灯）期間が重複している期間を有し、サブフレーム期間SF₁（1≤m≤n）でのアドレス（書き込み）期間T_{a_m}と、サブフレーム期間SF₁でのアドレス（書き込み）期間T_{a₁}とが重複する場合に、前記サブフレーム期間SF₁でのサステイン（点灯）期間SF₁の終了後、前記アドレス（書き込み）期間T_{a₁}の開始までの期間にクリア期間T_{c₁}を有する駆動方法によって動作することを特徴としている。

【0032】請求項9に記載の本発明の電子装置は、1フレーム期間はn個のサブフレーム期間SF₁、SF₂、…、SF_nを有し、前記n個のサブフレーム期間はそれぞれアドレス（書き込み）期間T_{a₁}、T_{a₂}、…、T_{a_n}と、サステイン（点灯）期間T_{s₁}、T_{s₂}、…、T_{s_n}とを有し、前記n個のサブフレーム期間のうち少なくとも1個のサブフレーム期間において、前記アドレス（書き込み）期間と前記サステイン（点灯）期間が重複している期間を有し、j（0<j）フレーム目のサブフレーム期間SF_jでのアドレス（書き込み）期間T_{a_j}と、j+1フレーム目のサブフレーム期間SF_{j+1}でのアドレス（書き込み）期間T_{a_{j+1}}とが重複する場合に、jフレーム目のサブフレーム期間SF_jでのサステイン（点灯）期間SF_jの終了後、前記j+1フレーム目のサブフレーム期間SF_{j+1}でのアドレス（書き込み）期間T_{a_{j+1}}の開始までの期間にクリア期間T_{c_{j+1}}を有する駆動方法によって動作することを特徴としている。

【0033】請求項10に記載の本発明の電子装置は、1フレーム期間はn個のサブフレーム期間SF₁、SF₂、…、SF_nを有し、前記n個のサブフレーム期間はそれぞれアドレス（書き込み）期間T_{a₁}、T_{a₂}、…、T_{a_n}と、サステイン（点灯）期間T_{s₁}、T_{s₂}、…、T_{s_n}とを有し、あるサブフレーム期間SF_k（1≤k≤n）において、アドレス（書き込み）期間の

長さをt_{a_k}、サステイン（点灯）期間の長さをt_{s_k}、1ゲート信号線選択期間の長さをt_g（t_{a_k}、t_{s_k}、t_g>0）として、t_{a_k}>t_{s_k}が成立するとき、SF_kの有するクリア期間の長さをt_{c_k}（t_{c_k}>0）とすると、常に、t_{c_k}≥t_{a_k}-（t_{s_k}+t_g）が成立することを特徴としている。

【0034】請求項11に記載の本発明の電子装置は、請求項8乃至請求項10のいずれか1項に記載の電子装置において、前記クリア期間において入力されるクリア信号は、保持容量線駆動回路からの信号の入力によって、保持容量線の電位を上げる、もしくは保持容量線の電位を下げることによって与えられることを特徴としている。

【0035】請求項12に記載の本発明の電子装置は、請求項11に記載の電子装置において、前記クリア期間中は、画像信号に関わらずE L素子が消灯することを特徴としている。

【0036】

【発明の実施の形態】本発明の構成について説明する。

20 【0037】通常の画素部の構成は、図16に示すように、保持容量線1604の一方の端子は、電流供給線1607に接続されており、この電流供給線は通常、一定電位に保たれている。あるいは、図17に示すように、保持容量線1711を配置して、保持容量線1704の一方の端子はこの保持容量線に接続される方法もある。この場合、保持容量線1711の電位は一定に保たれている。

【0038】本発明においては、回路構成は図17に示すものを用いるので、特別な構造は必要ない。ただし、

30 その保持容量線1711の電位は一定ではなく、回路を用いて信号を入力できるようにしている点に特徴がある。

【0039】アドレス（書き込み）期間およびサステイン（点灯）期間においては、この保持容量線1711の電位は一定電位に保っておく。そして、E L駆動用TF T1703のゲート電圧に関わらず、強制的に非表示期間を設ける場合には、保持容量線1711の電位を上げる。（E L駆動用TF T1702がPチャネル型の場合、Nチャネル型を用いている場合には逆の動作をする。）これを、以後はクリア信号と表記し、クリア信号が入力されている期間をクリア期間と表記する。この動作により、保持容量線1704と電気的に接続されているE L駆動用TF T1702のゲート・ソース間電圧V_{cs}も同時に引き上げられ、強制的にOFF状態となるため、この期間は、書き込まれている信号に関わらず、E L素子1703への電流の供給は停止し、クリア期間とすることが出来る。

【0040】なお、アドレス（書き込み）期間およびサステイン（点灯）期間において、保持容量線1711を一定電位に保つ際には、ある程度低い電位にしておくの

が望ましい。これは、保持容量線を1711を一定電位に保つ期間をA期間とすると、クリア信号を入力する際には、保持容量線の電位をA期間の状態からさらに上げるため、A期間における電位が高い場合は、それよりもさらに電位を高くする必要があるためである。(EL駆動用TFT1702がPチャネル型の場合。Nチャネル型を用いている場合には逆の動作をするので、A期間では電位を高めに保つのが望ましい。)

【0041】本発明の駆動方法では、保持容量線1711にクリア信号を入力することで、強制的にクリア期間を設けることが可能であるため、アドレス(書き込み)期間よりも短いサステイン(点灯)期間を設けたい場合にも、このクリア期間の長さを変えることで容易に実現出来る。よって前述の、デューティー比を高く出来る効果と相まって、多階調化に大いに有効といえる。

【0042】信号線から入力される信号に関係なく、EL素子1703を強制的に点灯しないようにするには、EL素子1703の陽極1709と陰極1710の間の電位差を0にする方法、EL駆動用TFT1702とEL素子1703との間に電流遮断用TFTを追加し、この電流遮断用TFTを非導通状態とすることでEL素子1703への電流供給を遮断する方法などが挙げられるが、これらの方法によると、入力する信号の波形になまり(パルスの立ち上がり時あるいは立下り時に信号遅延や鈍化が生ずる現象)が生じた場合に、各期間のタイミングにズレが生ずるため、期間が短くなるにつれて影響が大きくなる点や、追加するTFT等によって、画素の開口率が低下するといった短所もある。これに対して本発明の駆動方法では、保持容量線の電位を変えて、保持容量の電荷を開放することにより、EL素子が点灯しないようしている。よって、この非表示区間に伴う、画像(映像)信号に関係した信号線の電位の操作は行う必要がないため、前述の信号波形のなまりが影響することではなく、TFT等を追加する必要もないので、開口率を低下させることもない。

【0043】次に、各部の電位パターンについて説明する。図18を参照する。また、回路は引き続き図17を参照する。

【0044】図18において、1801はソース信号線1706の電位、1802はEL駆動用TFT1703のゲート電極の電位、1803はゲート信号線1705の電位、1804は保持容量線1711の電位を示している。なお、図18はスイッチング用TFT1701の極性がNチャネル型、EL駆動用TFT1702の極性がPチャネル型の場合を示している。まず、保持容量線1711の電位1804は、ある一定電位に保っておく。この電位は、後で引き上げる操作があるため、低めに保つのが望ましい。その後、ソース信号線1706、ゲート信号線1705には信号が入力され、各画素への書き込みが行われる。

【0045】ここで、図18(A)は、EL駆動用TFT1702のゲート電極にLO信号が入力された場合、図18(B)は、EL駆動用TFT1702のゲート電極にHI信号が入力された場合を示している。図18(A)では、ゲート信号線1705の選択に伴い、EL駆動用TFT1702のゲート電極にLO信号が入力されて電位が下がり、導通状態となり、EL素子1703の点灯が開始する。対して、図18(B)では、ゲート信号線1705の選択に伴い、EL駆動用TFT1702のゲート電極にHI信号が入力され、非導通状態となるので、EL素子1703は点灯しない。続いて、ゲート信号線1705の選択期間が終了し、ゲート信号線1705の電位が下がった後も、保持容量1704によってEL駆動用TFT1702のゲート電極に印加される電位が保たれ、図18(A)の場合はEL素子1703が点灯し続け、図18(B)の場合は消灯状態が続く。

【0046】次に、本発明におけるクリア期間前後の各部の動作について説明する。図18中、X-X'の点線で示されるタイミングで、保持容量線1711の電位

1804を引き上げる。ここでは、保持容量線1711の電位1804の振幅は、ソース信号線1706の振幅よりも大きく取るのが望ましい。このとき、ゲート信号線1705の選択期間は終了し、スイッチング用TFT1701は既に非導通状態となっており、保持容量1704の両端子間の電圧はそのまま保存されるため、一方の端子に接続されている保持容量線1711の電位1804が上がると、もう一方の端子における電位、すなわちEL駆動用TFT1702のゲート電圧1802が上がる事になる。よって、図18(A)において、X-X'の点線で示されるタイミングで、EL駆動用TFT1702のゲート電極の電位1802が上がる。これにより、EL駆動用TFT1702は非導通状態となり、EL素子1703への電流供給が停止し、消灯状態となる。図18(B)においても同様に、保持容量線1711の電位1804を上げるに伴い、EL駆動用TFT1702のゲート電極の電位1802も上がるが、この場合は非表示状態のまま、変化は無い。

【0047】このような操作により、別の行の画素部で、ゲート信号線1705が選択され、ソース信号線1706から信号の書き込みが行われている期間であっても、EL素子1703を強制的に非表示状態とすることが出来る。したがって、このクリア期間の長さを変えることで、サステイン(点灯)期間を自由に設定することが出来る。

【0048】ところで、図18においては、スイッチング用TFT1701がNチャネル型の場合について説明したが、Pチャネル型を用いた場合にも問題なく正常に本発明の駆動方法での動作が可能である。以下に、図9を参照して説明する。また、回路は引き続き図17を参照する。

【0049】まず、保持容量線1711の電位1904は、ある一定に保っておく。前述の場合と同様の理由により、低めに保つのが望ましい。その後、ソース信号線1706、ゲート信号線1705には信号が入力され、各画素への書き込みが行われる。

【0050】ここで、図19(A)は、EL駆動用TFT1702のゲート電極にLO信号が入力された場合、図19(B)は、EL駆動用TFT1702のゲート電極にHi信号が入力された場合を示している。図19(A)では、ゲート信号線1705の選択に伴い、EL駆動用TFT1702のゲート電極にLO信号が入力されて電位が下がり、導通状態となり、EL素子1703の点灯が開始する。対して、図19(B)では、ゲート信号線1705の選択に伴い、EL駆動用TFT1702のゲート電極にHi信号が入力され、非導通状態となるので、EL素子1703は点灯しない。続いて、ゲート信号線1705の選択期間が終了し、ゲート信号線1705の電位が下がった後も、保持容量によってEL駆動用TFT1702のゲート電極に印加される電位が保たれ、図19(A)の場合はEL素子1703が点灯し続け、図19(B)の場合は消灯状態が続く。

【0051】次に、本発明におけるクリア期間前後での各部の動作について説明する。図19中、Y-Y'の点線で示されるタイミングで、保持容量線1711の電位1904を引き上げる。このとき、図19(A)においては、ゲート信号線1705の選択期間が終了し、スイッチング用TFT1701は既に非導通状態となっているため、保持容量1704の両端子間の電圧はそのまま保存され、一方の端子に接続されている保持容量線1711の電位1904が上がると、同時にEL駆動用TFT1702のゲート電圧1902が上がることになる。よって、図19(A)において、Y-Y'の点線で示されるタイミングで、EL駆動用TFT1702のゲート電極の電位1902が上がる。これにより、EL駆動用TFT1702は非導通状態となり、EL素子1703への電流供給が停止し、消灯状態となる。図19(B)においては、保持容量線1711の電位を上げると同時に、EL駆動用TFT1702のゲート電極の電位1902も上がる。このとき、スイッチング用TFT1701のソース側の電位も高くなることになる。スイッチング用TFT1701の極性はPチャネル型であるから、ソース側電位が上がったことにより、スイッチング用TFT1701が、一時導通状態となる。そのため、スイッチング用TFT1701のソース・ドレイン間の電位が等しくなる方向に動く。すなわち、EL駆動用TFT1702のゲート電極電位1902が下がる。このとき、ゲート信号線1705の電位1903は一定であるから、EL駆動用TFT1702のゲート電極電位1902が下がると、同時にスイッチング用TFT1701のソース側電位が下がることになり、スイッチング用

TFT1701のゲート・ソース間電圧が減少する方向に動く。そして、スイッチング用TFT1701のしきい値電圧を下回ると、スイッチング用TFT1701は非導通状態に戻る。スイッチング用TFT1701がPチャネル型の場合には、各部は以上のような動作をするが、いずれの場合にも、保持容量線1711の電位を上げると、EL駆動用TFT1702は非導通状態となる。

【0052】以上より、スイッチング用TFT1701の極性は、Nチャネル型であってもPチャネル型であっても、正常に動作が可能である。

【0053】なお、本実施形態においては、時間階調方式とデジタル階調方式とを組み合わせた場合を例にとって、本発明の説明を行ってきたが、さらに面積階調方式を組み合わせた場合においても、同様の方法でEL素子を非表示にすることが可能である。

【実施例】以下に本発明の実施例について記述する。

【0054】[実施例1]図20(A)に、全体の回路構成の一例を示す。中央に画素部が配置されている。点線枠2000で囲まれた1画素分の回路図を図20(B)に示す。画素部の上側には、ソース信号線側駆動回路が配置されている。画素部の左側には、ゲート信号線側駆動回路が配置されている。画素部の右側には、保持容量線駆動回路が配置されている。

【0055】タイミングチャートを用いて、実際の駆動方法について説明する。ここでは、デジタル階調と時間階調とを組み合わせた方法で、nビットの階調表現を行う場合において、簡単のため、n=3として、 $2^3=8$ 階調の表現について述べる。なお、回路図は引き続き図30を参照する。

【0056】図1は、そのときの各行のゲート信号線と保持容量線の電位のタイミングチャートである。本実施例にて用いる回路においては、スイッチング用TFT2001にはNチャネル型を用いている。よって、ゲート信号線選択期間においては、ゲート信号線2005の電位は高くなり、スイッチング用TFT2001が導通状態となる。

【0057】順を追って説明する。まず、nビットの階調を表現するためには、1フレーム期間をn個のサブフレーム期間に分割する必要がある。本実施例においては、3ビットであるから、SF₁～SF₃の3つのサブフレーム期間に分割している。各サブフレーム期間はそれぞれ、アドレス(書き込み)期間T_{a1}～T_{a3}、サステイン(点灯)期間T_{s1}～T_{s3}を有している。アドレス(書き込み)期間は、1画面分の書き込みを行うのに要する期間であるから、全て長さは等しい。また、サステイン(点灯)期間の長さは、2のべき乗で変わるようにする。すなわち、図1の場合は、T_{s1}：T_{s2}：T_{s3}=4：2：1となる。

【0058】ただし、必ずしもサステイン(点灯)期間

の長さを2のべき乗の比としなくとも、階調表示は可能である。

【0059】本実施例のタイミングチャートは、アドレス(書き込み)期間とサステイン(点灯)期間が完全に分離しておらず、かつアドレス(書き込み)期間よりも短いサステイン(点灯)期間を有している。まず、SF₁にて、1行づつゲート信号線2005が選択され、その間に画素に信号の書き込みが行われる。1行分の書き込みが終了する(ゲート信号線選択期間が終了する)と、その行はサステイン(点灯)期間T_{s1}に入る。

【0060】SF₁でのサステイン(点灯)期間T_{s1}の終了後、SF₂に入り、同様にゲート信号線2005が1行づつ選択され、画素へ信号の書き込みが行われる。この間は、保持容量線2011の電位は一定に保たれている。

【0061】その後、SF₂に入る。SF₂においては、図1に示すように、アドレス(書き込み)期間T_{a2}よりも、サステイン(点灯)期間T_{s2}が短い。よって、これまでのサブフレーム期間と同様、アドレス(書き込み)期間の終了後にサステイン(点灯)期間に入り、サステイン(点灯)期間の終了後に、直ちに次のサブフレーム期間に入った場合、図2(A)に示すように、SF₂のアドレス(書き込み)期間T_{a2}が終了する前に、次のフレーム期間でのSF₃のアドレス(書き込み)期間T_{a3}が開始するため、異なるサブフレーム期間のアドレス(書き込み)期間が重複する部分が現れる。この期間は、同時に異なる2列のゲート信号線が選択されることを意味しており、そのようなタイミングでは、正常に画像(映像)の表示を行うことは出来ない。

【0062】そこで、図2(B)に示すように、T_{s1}の終了後からの一定期間(サステイン(点灯)期間が終了した後、次のアドレス(書き込み)期間が開始されるまでの期間)に、保持容量線2011の電位を上げることで、EL素子2003が点灯しない期間を強制的に設ける。この、EL素子2003のクリア期間を、クリア期間(T_{c1}、n:サブフレームの番号)と表記する。図2(B)において、T_{s1}の終了後にT_{c1}が設けられていることで、T_{a2}と次のT_{a3}の重複が回避出来るため、画像(映像)を正常に表示することが出来る。

【0063】なお、このクリア期間は、あるサブフレーム期間SF_k(1≤k≤n)において、アドレス(書き込み)期間T_{a_k}よりも短いサステイン(点灯)期間T_{s_k}を有するときは、アドレス(書き込み)期間の長さをt_{a_k}、サステイン(点灯)期間の長さをt_{s_k}、1ゲート信号線選択期間の長さをt_g(t_{a_k}、t_{s_k}、t_g>0)として、SF_kの有するクリア期間の長さをt_{c_k}(t_{c_k}>0)とすると、常に、t_{c_k}≥t_{a_k}-t_{s_k}(t_{s_k}+t_g)が成立するだけの長さを最低限必要とする。

【0064】[実施例2]本実施例においては、実施例1よりも階調数が多く、かつアドレス(書き込み)期間よ

りも短いサステイン(点灯)期間を複数有する場合の例について述べる。回路は実施例1と同様であるので、引き続き図20を参照する。

【0065】本実施例では、5ビット(2⁵=32)階調の表現について述べる。3ビット階調表現の場合と同様、アドレス(書き込み)期間T_{a1}～T_{a5}は、全て同じ長さであり、サステイン(点灯)期間T_{s1}～T_{s5}は、T_{s1}:T_{s2}:T_{s3}:T_{s4}:T_{s5}=16:8:4:2:1としている。うち、T_{s1}、T_{s2}、T_{s3}の長さは、アドレス(書き込み)期間よりも短い。

【0066】信号の書き込みが終了した後、直ちにEL素子2003の点灯が開始される駆動方法では、サステイン(点灯)期間が終了した後に、次のアドレス(書き込み)期間に入ると、図3(A)に示すように、異なるサブフレーム期間のアドレス(書き込み)期間が重複する部分が現れる。図中、aで示される範囲においては、T_{a1}とT_{a2}の2つが重複し、bで示される範囲においては、T_{a2}とT_{a3}の2つが重複し、cで示される範囲においては、T_{a3}とT_{a4}と、次のサブフレーム期間におけるT_{a4}、(T_{a5}と表記)の3つが重複し、dで示される範囲においては、T_{a5}とT_{a1}の2つが重複する。このように、階調数が増加するほど、最小単位のサステイン(点灯)期間が短くなるため、3つ以上のアドレス(書き込み)期間が重複する場合も生ずる。よって、実施例1と同様に、サステイン(点灯)期間が終了した後、次のアドレス(書き込み)期間が開始されるまでの間に、図3(B)に示すようにそれぞれクリア期間T_{c1}、T_{c2}、T_{c3}を設ける。これにより、アドレス(書き込み)期間の重複を回避し、正常な画像(映像)の表示が出来る。

【0067】[実施例3]本実施例においては、同一基板上に、画素部および画素部の周辺に設ける駆動回路のTFT(Nチャネル型TFTおよびPチャネル型TFT)を同時に作製する方法について詳細に説明する。

【0068】まず、図4(A)に示すように、コーニング社の#7059ガラスや#1737ガラスなどに代表されるバリウムホウケイ酸ガラス、またはアルミノホウケイ酸ガラスなどのガラスから成る基板5001上に酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜などの絶縁膜から成る下地膜5002を形成する。例えば、プラズマCVD法でSiH₄、NH₃、N₂Oから作製される酸化窒化シリコン膜5002aを10～200[nm](好ましくは50～100[nm])形成し、同様にSiH₄、N₂Oから作製される酸化窒化水素化シリコン膜5002bを50～200[nm](好ましくは100～150[nm])の厚さに積層形成する。本実施例では下地膜5002を2層構造として示したが、前記絶縁膜の単層膜または2層以上積層させた構造として形成しても良い。

【0069】島状半導体層5003～5006は、非晶

質構造を有する半導体膜をレーザー結晶化法や公知の熱結晶化法を用いて作製した結晶質半導体膜で形成する。この島状半導体層5003～5006の厚さは25～80[nm]（好ましくは30～60[nm]）の厚さで形成する。結晶質半導体膜の材料に限定はないが、好ましくはシリコンまたはシリコングルマニウム（SiGe）合金などで形成すると良い。

【0070】レーザー結晶化法で結晶質半導体膜を作製するには、パルス発振型または連続発光型のエキシマレーザーやYAGレーザー、YVO₄レーザーを用いる。これらのレーザーを用いる場合には、レーザー発振器から放射されたレーザー光を光学系で線状に集光し半導体膜に照射する方法を用いると良い。結晶化の条件は実施者が適宜選択するものであるが、エキシマレーザーを用いる場合はパルス発振周波数30[Hz]とし、レーザーエネルギー密度を100～400[mJ/cm²]（代表的には200～300[mJ/cm²]）とする。また、YAGレーザーを用いる場合にはその第2高調波を用いパルス発振周波数1～10[kHz]とし、レーザーエネルギー密度を300～600[mJ/cm²]（代表的には350～500[mJ/cm²]）とすると良い。そして幅100～1000[μm]、例えば400[μm]で線状に集光したレーザー光を基板全面に渡って照射し、この時の線状レーザー光の重ね合せ率（オーバーラップ率）を80～98[%]として行う。

【0071】次いで、島状半導体層5003～5006を覆うゲート絶縁膜5007を形成する。ゲート絶縁膜5007はプラズマCVD法またはスパッタ法を用い、厚さを40～150[nm]としてシリコンを含む絶縁膜で形成する。本実施例では、120[nm]の厚さで酸化窒化シリコン膜で形成する。勿論、ゲート絶縁膜はこのような酸化窒化シリコン膜に限定されるものではなく、他のシリコンを含む絶縁膜を単層または積層構造として用いても良い。例えば、酸化シリコン膜を用いる場合には、プラズマCVD法でTEOS（Tetraethyl Orthosilicate）とO₂とを混合し、反応圧力40[Pa]、基板温度300～400[°C]とし、高周波（13.56[MHz]）電力密度0.5～0.8[W/cm²]で放電させて形成することができる。このようにして作製される酸化シリコン膜は、その後400～500[°C]の熱アニールによりゲート絶縁膜として良好な特性を得ることができる。

【0072】そして、ゲート絶縁膜5007上にゲート電極を形成するための第1の導電膜5008と第2の導電膜5009とを形成する。本実施例では、第1の導電膜5008をTaで50～100[nm]の厚さに形成し、第2の導電膜5009をWで100～300[nm]の厚さに形成する。

【0073】Ta膜はスパッタ法で、TaのターゲットをArでスパッタすることにより形成する。この場合、Arに適量のXeやKrを加えると、Ta膜の内部応力を

緩和して膜の剥離を防止することができる。また、α相のTa膜の抵抗率は20[μΩcm]程度でありゲート電極に使用することができるが、β相のTa膜の抵抗率は180[μΩcm]程度でありゲート電極とするには不向きである。α相のTa膜を形成するために、Taのα相に近い結晶構造をもつ窒化タンタルを10～50[nm]程度の厚さでTaの下地に形成しておくとα相のTa膜を容易に得ることができる。

【0074】W膜を形成する場合には、Wをターゲットとしたスパッタ法で形成する。その他に6フッ化タンゲステン（WF₆）を用いる熱CVD法で形成することもできる。いずれにしてもゲート電極として使用するためには低抵抗化を図る必要があり、W膜の抵抗率は20[μΩcm]以下にすることが望ましい。W膜は結晶粒を大きくすることで低抵抗化を図ることができますが、W中に酸素などの不純物元素が多い場合には結晶化が阻害され高抵抗化する。のことより、スパッタ法による場合、純度99.9999[%]のWターゲットを用い、さらに成膜時に気相中からの不純物の混入がないように十分配慮してW膜を形成することにより、抵抗率9～20[μΩcm]を実現することができる。

【0075】なお、本実施例では、第1の導電膜5008をTa、第2の導電膜5009をWとしたが、特に限定されず、いずれもTa、W、Ti、Mo、Al、Cuから選ばれた元素、または前記元素を主成分とする合金材料もしくは化合物材料で形成してもよい。また、リン等の不純物元素をドーピングした多結晶シリコン膜に代表される半導体膜を用いてもよい。本実施例以外の他の組み合わせの一例は、第1の導電膜を窒化タンタル（TaN）で形成し、第2の導電膜をWとする組み合わせ、第1の導電膜を窒化タンタル（TaN）で形成し、第2の導電膜をAlとする組み合わせ、第1の導電膜を窒化タンタル（TaN）で形成し、第2の導電膜をCuとする組み合わせで形成することが好ましい。

【0076】次に、レジストによるマスク5010を形成し、電極及び配線を形成するための第1のエッチング処理を行う。本実施例ではICP（Inductively Coupled Plasma：誘導結合型プラズマ）エッチング法を用い、エッチング用ガスにCF₄とCl₂を混合し、1[Pa]の圧力でコイル型の電極に500[W]のRF（13.56[MHz]）電力を投入してプラズマを生成して行う。基板側（試料ステージ）にも100[W]のRF（13.56[MHz]）電力を投入し、実質的に負の自己バイアス電圧を印加する。CF₄とCl₂を混合した場合にはW膜及びTa膜とも同程度にエッチングされる。

【0077】上記エッチング条件では、レジストによるマスクの形状を適したものとすることにより、基板側に印加するバイアス電圧の効果により第1の導電層及び第2の導電層の端部がテーパー形状となる。テーパー部の角度は15～45°となる。ゲート絶縁膜上に残渣を残

すことなくエッティングするためには、10～20[%]程度の割合でエッティング時間を増加させると良い。W膜に対する酸化窒化シリコン膜の選択比は2～4（代表的には3）であるので、オーバーエッティング処理により、酸化窒化シリコン膜が露出した面は20～50[nm]程度エッティングされることになる。こうして、第1のエッティング処理により第1の導電層と第2の導電層から成る第1の形状の導電層5011～5016（第1の導電層5011a～5016aと第2の導電層5011b～5016b）を形成する。このとき、ゲート絶縁膜5007においては、第1の形状の導電層5011～5016で覆われない領域は20～50[nm]程度エッティングされ薄くなった領域が形成される（図4（A））。

【0078】そして、第1のドーピング処理を行いN型を付与する不純物元素を添加する（図4（B））。ドーピングの方法はイオンドープ法もしくはイオン注入法で行えば良い。イオンドープ法の条件はドーズ量を $1 \times 10^{13} \sim 5 \times 10^{14}$ [atoms/cm²]とし、加速電圧を60～100[keV]として行う。N型を付与する不純物元素として15族に属する元素、典型的にはリン（P）または砒素（As）を用いるが、ここではリン（P）を用いる。この場合、導電層5011～5015がN型を付与する不純物元素に対するマスクとなり、自己整合的に第1の不純物領域5017～5025が形成される。第1の不純物領域5017～5025には $1 \times 10^{13} \sim 1 \times 10^{14}$ [atoms/cm²]の濃度範囲でN型を付与する不純物元素を添加する。

【0079】次に、図4（C）に示すように第2のエッティング処理を行う。同様にICPエッティング法を用い、エッティングガスにCF₄とCl₂とO₂を混合して、1[P a]の圧力でコイル型の電極に500[W]のRF（13.56[MHz]）電力を供給し、プラズマを生成して行う。基板側（試料ステージ）には50[W]のRF（13.56[MHz]）電力を投入し、第1のエッティング処理に比べ低い自己バイアス電圧を印加する。このような条件によりW膜を異方性エッティングし、かつ、それより遅いエッティング速度で第1の導電層であるTaを異方性エッティングして第2の形状の導電層5026～5031（第1の導電層5026a～5031aと第2の導電層5026b～5031b）を形成する。このとき、ゲート絶縁膜5007においては、第2の形状の導電層5026～5031で覆われない領域はさらに20～50[nm]程度エッティングされ薄くなった領域が形成される。

【0080】W膜やTa膜のCF₄とCl₂の混合ガスによるエッティング反応は、生成されるラジカルまたはイオン種と反応生成物の蒸気圧から推測することができる。WとTaのフッ化物と塩化物の蒸気圧を比較すると、Wのフッ化物であるWF₆が極端に高く、その他のWC_l、TaF₅、TaCl₅は同程度である。従って、CF₄とCl₂の混合ガスではW膜及びTa膜共にエッテン

グされる。しかし、この混合ガスに適量のO₂を添加するとCF₄とO₂が反応してCOとFになり、FラジカルまたはFイオンが多量に発生する。その結果、フッ化物の蒸気圧が高いW膜のエッティング速度が増大する。一方、TaはFが増大しても相対的にエッティング速度の増加は少ない。また、TaはWに比較して酸化されやすいので、O₂を添加することでTaの表面が酸化される。Taの酸化物はフッ素や塩素と反応しないためさらにTa膜のエッティング速度は低下する。従って、W膜とTa膜とのエッティング速度に差を作ることが可能となりW膜のエッティング速度をTa膜よりも大きくすることが可能となる。

【0081】そして、図5（A）に示すように第2のドーピング処理を行う。この場合、第1のドーピング処理よりもドーズ量を下げて高い加速電圧の条件としてN型を付与する不純物元素をドーピングする。例えば、加速電圧を70～120[keV]とし、 1×10^{13} [atoms/cm²]のドーズ量で行い、図4（B）で島状半導体層に形成された第1の不純物領域の内側に新たな不純物領域を形成する。ドーピングは、第2の形状の導電層5026～5030を不純物元素に対するマスクとして用い、第2の導電層5026a～5030aの下側の領域にも不純物元素が添加されるようにドーピングする。こうして、第2の導電層5026a～5030aと重なる第3の不純物領域5032～5041と、第1の不純物領域と第3の不純物領域との間の第2の不純物領域5042～5051とを形成する。N型を付与する不純物元素は、第2の不純物領域で $1 \times 10^{13} \sim 1 \times 10^{14}$ [atoms/cm²]の濃度となるようにし、第3の不純物領域で $1 \times 10^{14} \sim 1 \times 10^{15}$ [atoms/cm²]の濃度となるようにする。

【0082】そして、図5（B）に示すように、Pチャネル型TFTを形成する島状半導体層5004、5006に第1の導電型とは逆の導電型の第4の不純物領域5052～5063を形成する。第2の導電層5027b、5030bを不純物元素に対するマスクとして用い、自己整合的に不純物領域を形成する。このとき、Nチャネル型TFTを形成する島状半導体層5003、5005はレジストマスク5200で全面を被覆しておく。不純物領域5052～5063にはそれぞれ異なる温度でリンが添加されているが、ジボラン（B₂H₆）を用いたイオンドープ法で形成し、そのいずれの領域においても不純物濃度を $2 \times 10^{19} \sim 2 \times 10^{20}$ [atoms/cm²]となるようにする。

【0083】以上までの工程でそれぞれの島状半導体層に不純物領域が形成される。島状半導体層と重なる第2の導電層5026～5030がゲート電極として機能する。また、5031は島状のソース信号線として機能する。

【0084】こうして導電型の制御を目的として図5（C）に示すように、それぞれの島状半導体層に添加さ

れた不純物元素を活性化する工程を行う。この工程はファーネスアニール炉を用いる熱アニール法で行う。その他に、レーザーアニール法、またはラビッドサーマルアニール法（RTA法）を適用することができる。熱アニール法では酸素濃度が1[ppm]以下、好ましくは0.1[ppm]以下の窒素雰囲気中で400～700[°C]、代表的には500～600[°C]で行うものであり、本実施例では500[°C]で4時間の熱処理を行う。ただし、5026～5031に用いた配線材料が熱に弱い場合には、配線等を保護するため層間絶縁膜（シリコンを主成分とする）を形成した後で活性化を行なうことが好ましい。

【0085】さらに、3～100[%]の水素を含む雰囲気中で、300～450[°C]で1～12時間の熱処理を行い、島状半導体層を水素化する工程を行う。この工程は熱的に励起された水素により半導体層のダンギングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化（プラズマにより励起された水素を用いる）を行っても良い。

【0086】次いで、図6（A）に示すように、第1の層間絶縁膜5064を酸化窒化シリコン膜から100～200[nm]の厚さで形成する。その上に有機絶縁物材料から成る第2の層間絶縁膜5065を形成した後、第1の層間絶縁膜5064、第2の層間絶縁膜5065、およびゲート絶縁膜5007に対してコントラクトホールを形成し、各配線（接続配線、信号線を含む）5066～5071、5073をバーニング形成した後、接続配線5071に接する画素電極5072をバーニング形成する。

【0087】第2の層間絶縁膜5065としては、有機樹脂を材料とする膜を用い、その有機樹脂としてはポリイミド、ポリアミド、アクリル、BCB（ベンゾシクロブテン）等を使用することが出来る。特に、第2の層間絶縁膜5065は平坦化の意味合いが強いので、平坦性に優れたアクリルが好ましい。本実施例ではTFTによって形成される段差を十分に平坦化しうる膜厚でアクリル膜を形成する。好ましくは1～5[μm]（さらに好ましくは2～4[μm]）とすれば良い。

【0088】コントラクトホールの形成は、ドライエッチングまたはウェットエッチングを用い、N型の不純物領域5017～5021および5023～5025またはP型の不純物領域5052～5063に達するコントラクトホール、配線5031に達するコントラクトホール、電流供給線に達するコントラクトホール（図示せず）、およびゲート電極に達するコントラクトホール（図示せず）をそれぞれ形成する。

【0089】また、配線（接続配線、信号線を含む）5066～5071、5073として、Ti膜を100[nm]、Ti膜を含むアルミニウム膜を300[nm]、Ti膜150[nm]をスパッタ法で連続形成した3層構造の積層膜を所望の形状にバーニングしたもの用いる。勿論、

他の導電膜を用いても良い。

【0090】また、本実施例では、画素電極5072としてITO膜を110[nm]の厚さに形成し、バーニングを行った。画素電極5072を接続配線5071と接して重なるように配置することでコントラクトを取っている。また、酸化インジウムに2～20[%]の酸化亜鉛（ZnO）を混合した透明導電膜を用いても良い。この画素電極5072がEL素子の陽極となる（図6（A））。

【0091】次に、図6（B）に示すように、硅素を含む絶縁膜（本実施例では酸化珪素膜）を500[nm]の厚さに形成し、画素電極5072に対応する位置に開口部を形成して第3の層間絶縁膜5074を形成する。開口部を形成する際、ウェットエッチング法を用いることで容易にテーパー形状の側壁とすることが出来る。開口部の側壁が十分になだらかでないと段差に起因するEL層の劣化が顕著な問題となってしまう。

【0092】次に、EL層5075および陰極（MgAg電極）5076を、真空蒸着法を用いて大気開放しないで連続形成する。なお、EL層5075の膜厚は80～200[nm]（典型的には100～120[nm]）、陰極5076の厚さは180～300[nm]（典型的には200～250[nm]）とすれば良い。

【0093】この工程では、赤色に対応する画素、緑色に対応する画素および青色に対応する画素に対して順次、EL層および陰極を形成する。但し、EL層は溶液に対する耐性に乏しいためフォトリソグラフィ技術を用いて各色個別に形成しなくてはならない。そこでメタルマスクを用いて所望の画素以外を隠し、必要箇所だけ選択的にEL層および陰極を形成するのが好ましい。

【0094】即ち、まず赤色に対応する画素以外を全て隠すマスクをセットし、そのマスクを用いて赤色発光のEL層および陰極を選択的に形成する。次いで、緑色に対応する画素以外を全て隠すマスクをセットし、そのマスクを用いて緑色発光のEL層および陰極を選択的に形成する。次いで、同様に青色に対応する画素以外を全て隠すマスクをセットし、そのマスクを用いて青色発光のEL層および陰極を選択的に形成する。なお、ここでは全て異なるマスクを用いるように記載しているが、同じマスクを使いまわしても構わない。また、全画素にEL層および陰極を形成するまで真空を破らずに処理することが好ましい。

【0095】ここではRGBに対応した3種類のEL素子を形成する方式を用いたが、白色発光のEL素子とカラーフィルタを組み合わせた方式、青色または青緑発光のEL素子と蛍光体（蛍光性の色変換層：CCM）とを組み合わせた方式、陰極（対向電極）に透明電極を利用してRGBに対応したEL素子を重ねる方式などを用いても良い。

【0096】なお、EL層5075としては公知の材料

を用いることが出来る。公知の材料としては、駆動電圧を考慮すると有機材料を用いるのが好ましい。例えば正孔注入層、正孔輸送層、発光層および電子注入層でなる4層構造をE L層とすれば良い。また、本実施例ではE L素子の陰極としてMg Ag電極を用いた例を示すが、公知の他の材料であっても良い。

【0097】次いで、E L層および陰極を覆って保護電極5077を形成する。この保護電極5077としてはアルミニウムを主成分とする導電膜を用いれば良い。保護電極5077はE L層および陰極を形成した時とは異なるマスクを用いて真空蒸着法で形成すれば良い。また、E L層および陰極を形成した後で大気開放しないで連続的に形成することが好ましい。

【0098】最後に、窒化珪素膜でなるバッシャーション膜5078を300[nm]の厚さに形成する。実際には保護電極5088がE L層を水分等から保護する役割を果たすが、さらにバッシャーション膜5078を形成しておくことで、E L素子の信頼性をさらに高めることが出来る。

【0099】こうして図6(B)に示すような構造のアクティブマトリクス型電子装置が完成する。なお、本実施例におけるアクティブマトリクス型電子装置の作成工程においては、回路の構成および工程の関係上、ゲート電極を形成している材料であるTa、Wによってソース信号線を形成し、ソース、ドレイン電極を形成している配線材料であるAlによってゲート信号線を形成しているが、異なる材料を用いても良い。

【0100】ところで、本実施例のアクティブマトリクス基板は、画素部だけでなく駆動回路部にも最適な構造の TFT を配置することにより、非常に高い信頼性を示し、動作特性も向上しうる。また結晶化工程においてNi等の金属触媒を添加し、結晶性を高めることも可能である。それによって、ソース信号線駆動回路の駆動周波数を10[MHz]以上にすることが可能である。

【0101】まず、極力動作速度を落とさないようにホットキャリア注入を低減させる構造を有するTFTを、駆動回路部を形成するCMOS回路のNチャネル型TFTとして用いる。なお、ここでいう駆動回路としては、シフトレジスタ、バッファ、レベルシフタ、線順次駆動におけるラッチ、点順次駆動におけるトランスマッシュゲートなどが含まれる。

【0102】本実施例の場合、Nチャネル型TFTの活性層は、ソース領域、ドレイン領域、GOLD領域、LDD領域およびチャネル形成領域を含み、GOLD領域はゲート絶縁膜を介してゲート電極と重なっている。

【0103】また、CMOS回路のPチャネル型TFTは、ホットキャリア注入による劣化が殆ど気にならないので、特にLDD領域を設けなくても良い。勿論、Nチャネル型TFTと同様にLDD領域を設け、ホットキャリア対策を講じることも可能である。

【0104】その他、駆動回路において、チャネル形成領域を双方向に電流が流れるようなCMOS回路、即ち、ソース領域とドレイン領域の役割が入れ替わるようなCMOS回路が用いられる場合、CMOS回路を形成するNチャネル型TFTは、チャネル形成領域の両サイドにチャネル形成領域を挟む形でLDD領域を形成することが好ましい。このような例としては、点順次駆動に用いられるトランスマッシュゲートなどが挙げられる。また駆動回路において、オフ電流値を極力低く抑え必要のあるCMOS回路が用いられる場合、CMOS回路を形成するNチャネル型TFTは、LDD領域の一部がゲート絶縁膜を介してゲート電極と重なる構成を有していることが好ましい。このような例としては、やはり、点順次駆動に用いられるトランスマッシュゲートなどが挙げられる。

【0105】なお、実際には図6(B)の状態まで完成したら、さらに外気に曝されないように、気密性が高く、脱ガスの少ない保護フィルム(ラミネートフィルム、紫外線硬化樹脂フィルム等)や透光性のシーリング材でパッケージング(封入)することが好ましい。その際、シーリング材の内部を不活性雰囲気にしたり、内部に吸湿性材料(例えば酸化バリウム)を配置したりするとE L素子の信頼性が向上する。

【0106】また、パッケージング等の処理により気密性を高めたら、基板上に形成された素子又は回路から引き回された端子と外部信号端子とを接続するためのコネクタ(フレキシブルプリントサーキット:FPC)を取り付けて製品として完成する。このような出荷出来る状態にまでした状態を本明細書中では電子装置という。

【0107】また、本実施例で示す工程に従えば、アクティブマトリクス基板の作製に必要なフォトマスクの数を5枚(島状半導体層パターン、第1配線パターン(ゲート配線、島状のソース配線、容量配線)、nチャネル領域のマスクパターン、コンタクトホールパターン、第2配線パターン(画素電極、接続電極含む))とすることができます。その結果、工程を短縮し、製造コストの低減及び歩留まりの向上に寄与することができる。

【0108】[実施例4]本実施例においては、本発明の電子装置を作製した例について説明する。

【0109】図7(A)は本発明を用いた電子装置の上面図であり、図7(A)をX-X'面で切断した断面図を図7(B)に示す。図7(A)において、4001は基板、4002は画素部、4003はソース信号線側駆動回路、4004はゲート信号線側駆動回路であり、それぞれの駆動回路は配線4005、4006、4007を経てFPC4008に至り、外部機器へと接続される。

【0110】このとき、画素部においては、好ましくは駆動回路および画素部を囲むようにしてカバー材4009、密封材4010、シーリング材(ハウジング材とも

いう) 4011(図7(B)に図示)が設けられている。

【0111】また、図7(B)は本実施例の電子装置の断面構造であり、基板4001、下地膜4012の上に駆動回路用TFT(但し、ここではNチャネル型TFTとPチャネル型TFTを組み合わせたCMOS回路を図示している)4013および画素部用TFT4014

(但し、ここではEL素子への電流を制御するEL駆動用TFTだけ図示している)が形成されている。これらのTFTは公知の構造(トップゲート構造あるいはボトムゲート構造)を用いれば良い。

【0112】公知の作製方法を用いて駆動回路用TFT4013、画素部用TFT4014が完成したら、樹脂材料である層間絶縁膜(平坦化膜)4015の上に画素部用TFT4014のドレインと電気的に接続する透明導電膜である画素電極4016を形成する。透明導電膜としては、酸化インジウムと酸化スズとの化合物(ITOと呼ばれる)または酸化インジウムと酸化亜鉛との化合物を用いることができる。そして、画素電極4016を形成したら、絶縁膜4017を形成し、画素電極4016上に開口部を形成する。

【0113】次に、EL層4018を形成する。EL層4018は公知のEL材料(正孔注入層、正孔輸送層、発光層、電子輸送層または電子注入層)を自由に組み合わせて積層構造または単層構造とすれば良い。どのような構造とするかは公知の技術を用いれば良い。また、EL材料には低分子系材料と高分子系(ポリマー系)材料がある。低分子系材料を用いる場合は蒸着法を用いるが、高分子系材料を用いる場合には、スピンドル法、印刷法またはインクジェット法等の簡易な方法を用いることが可能である。

【0114】本実施例では、シャドウマスクを用いて蒸着法によりEL層を形成する。シャドウマスクを用いて画素毎に波長の異なる発光が可能な発光層(赤色発光層、緑色発光層および青色発光層)を形成することで、カラー表示が可能となる。その他にも、色変換層(CCM)とカラーフィルタを組み合わせた方式、白色発光層とカラーフィルタを組み合わせた方式があるがいずれの方法を用いても良い。勿論、単色発光の電子装置することもできる。

【0115】EL層4018を形成したら、その上に陰極4019を形成する。陰極4019とEL層4018の界面に存在する水分や酸素は極力排除しておくことが望ましい。従って、真空中でEL層4018と陰極4019を連続成膜するか、EL層4018を不活性雰囲気で形成し、大気開放しないで陰極4019を形成するといった工夫が必要である。本実施例ではマルチチャンバー方式(クラスターツール方式)の成膜装置を用いることで上述のような成膜を可能とする。

【0116】なお、本実施例では陰極4019として、

LiF(フッ化リチウム)膜とA1(アルミニウム)膜の積層構造を用いる。具体的にはEL層4018上に蒸着法で1[nm]厚のLiF(フッ化リチウム)膜を形成し、その上に300[nm]厚のアルミニウム膜を形成する。勿論、公知の陰極材料であるMgAg電極を用いても良い。そして陰極4019は4020で示される領域において配線4007に接続される。配線4007は陰極4019に所定の電圧を与えるための電源線であり、導電性ペースト材料4021を介してFPC4008に接続される。

【0117】4020に示された領域において陰極4019と配線4007とを電気的に接続するため、層間絶縁膜4015および絶縁膜4017にコンタクトホールを形成する必要がある。これらは層間絶縁膜4015のエッチング時(画素電極用コンタクトホールの形成時)や絶縁膜4017のエッチング時(EL層形成前の開口部の形成時)に形成しておけば良い。また、絶縁膜4017をエッチングする際に、層間絶縁膜4015まで一括でエッチングしても良い。この場合、層間絶縁膜4015と絶縁膜4017が同じ樹脂材料であれば、コンタクトホールの形状を良好なものとすることができます。

【0118】このようにして形成されたEL素子の表面を覆って、バッファーション膜4022、充填材4023、カバー材4009が形成される。

【0119】さらに、EL素子部を囲むようにして、カバー材4009と基板4001の内側にシーリング材4011が設けられ、さらにシーリング材4011の外側には密封材(第2のシーリング材)4010が形成される。

【0120】このとき、この充填材4023は、カバー材4009を接着するための接着剤としても機能する。充填材4023としては、PVC(ポリビニルクロライド)、エポキシ樹脂、シリコン樹脂、PVB(ポリビニルブチラル)またはEVA(エチレンビニルアセテート)を用いることができる。この充填材4023の内部に乾燥剤を設けておくと、吸湿効果を保持できるので好ましい。また充填材4023の内部に、酸素を捕捉する効果を有する酸化防止剤等を配置することで、EL層の劣化を抑えても良い。

【0121】また、充填材4023の中にスペーサーを含有させてもよい。このとき、スペーサーをBaOなどからなる粒状物質とし、スペーサー自体に吸湿性をもたせててもよい。

【0122】スペーサーを設けた場合、バッファーション膜4022はスペーサー圧を緩和することができる。また、バッファーション膜とは別に、スペーサー圧を緩和する樹脂膜などを設けててもよい。

【0123】また、カバー材4009としては、ガラス板、アルミニウム板、ステンレス板、FRP(Fibergla

ss-Reinforced Plastics) 板、P VF (ポリビニルフルオライド) フィルム、マイラーフィルム、ポリエチレンフィルムまたはアクリルフィルムを用いることができる。なお、充填材 4023 として PVB や EVA を用いる場合、数十 [μm] のアルミニウムホイルを P VF フィルムやマイラーフィルムで挟んだ構造のシートを用いることが好ましい。

【0124】但し、EL 素子からの発光方向（光の放射方向）によっては、カバー材 4009 が透光性を有する必要がある。

【0125】また、配線 4007 はシーリング材 4011 よりも密封材 4010 と基板 4001 との隙間を通して FPC 4008 に電気的に接続される。なお、ここでは配線 4007 について説明したが、他の配線 4005、4006 も同様にしてシーリング材 4011 よりも密封材 4010 の下を通過して FPC 4008 に電気的に接続される。

【0126】なお本実施例では、充填材 4023 を設けてからカバー材 4009 を接着し、充填材 4023 の側面（露呈面）を覆うようにシーリング材 4011 を取り付けているが、カバー材 4009 よりもシーリング材 4011 を取り付けてから、充填材 4023 を設けても良い。この場合、基板 4001、カバー材 4009 よりもシーリング材 4011 で形成されている空隙に通じる充填材の注入口を設ける。そして前記空隙を真空状態 (10^{-2} [Torr] 以下) にし、充填材の入っている水槽に注入口を没してから、空隙の外の気圧を空隙の中の気圧よりも高くして、充填材を空隙の中に充填する。

【0127】[実施例 5] ここで本発明の電子装置における画素部のさらに詳細な断面構造を図 8 に示す。

【0128】図 8において、基板 4501 上に設けられたスイッチング用 TFT 4502 は本実施例では N チャネル型 TFT を用いる。本実施例ではダブルゲート構造としているが、構造および作製プロセスに大きな違いはないので説明は省略する。但し、ダブルゲート構造とすることで実質的に 2 つの TFT が直列された構造となり、オフ電流値を低減することができるという利点がある。なお、本実施例ではダブルゲート構造としているが、シングルゲート構造でも構わないし、トリブルゲート構造やそれ以上のゲート本数を持つマルチゲート構造でも構わない。また、P チャネル型 TFT を用いて形成しても構わない。

【0129】また、EL 駆動用 TFT 4503 は N チャネル型 TFT を用いる。スイッチング用 TFT 4502 のドレイン配線 4504 は配線（図示せず）によって EL 駆動用 TFT 4503 のゲート電極 4506 に電気的に接続されている。

【0130】ところで、電子装置の駆動電圧が高い (10 [V] 以上) 場合には、駆動回路を構成する TFT が、特に N チャネル型においてホットキャリア等による劣化

の危険性が高いため、実施例 3 の図 6 (B) に示すように、N チャネル型 TFT のドレイン側、あるいはソース側とドレイン側との両方に、ゲート絶縁膜を介してゲート電極に重なる位置に LDD 領域 (GOLD 領域) を設ける構造が極めて有効となる。対して、駆動電圧が低い (10 [V] 以下) 場合には、ホットキャリアによる劣化の心配はほとんど無いため、本実施例の図 8 にて示すように、特に GOLD 領域を設ける必要はない。ただし、画素部におけるスイッチング用 TFT 4502 には、OFF 電流を低く抑えるために、N チャネル型 TFT のドレイン側、あるいはソース側とドレイン側との両方に、ゲート絶縁膜を介してゲート電極に重ならない位置に LDD 領域を設ける構造が極めて有効となる。このとき、EL 駆動用 TFT 4503 に関しては、特に LDD 領域を設ける必要性は無いが、スイッチング用 TFT 4502 に LDD 領域を形成する際に、EL 駆動用 TFT 4503 の部分をレジストで覆うためには専用のマスクが必要となる。よって、本実施例においては、マスク枚数の増加を避けるため、EL 駆動用 TFT 4503 を、スイッチング用 TFT 4502 と同じ構造 (LDD 領域を有する構造) で形成した。

【0131】ここで、本実施例にて示す構造を有する TFT の作成工程について述べる。説明には図 9 を参照する。

【0132】実施例 3 にしたがって、図 4 (B) の状態まで終了したものを図 9 (A) に示す。ここまででの工程で、第 1 の不純物領域 4701～4705 が形成される。続いて、Ta 膜からなる第 1 の導電膜、W 膜からなる第 2 の導電膜を、図 9 (B) に示すようにエッティングし、図 9 (A) で島状半導体層に形成された第 1 の不純物領域の内側に、第 1 の不純物領域よりも低濃度である第 2 の不純物領域 4706～4711 を形成する。ここで形成された第 2 の不純物領域 4706～4711 は前述の LDD 領域となる。

【0133】以後は、再び実施例 3 にしたがって、図 5 (B) 以降で示される工程を経て、アクティブマトリクス基板を完成させねば良い。

【0134】また、本実施例では EL 駆動用 TFT 4503 をシングルゲート構造で図示しているが、複数の TFT を直列に接続したマルチゲート構造としても良い。さらに、複数の TFT を並列につなげて実質的にチャネル形成領域を複数に分割し、熱の放射を高い効率で行えるようにした構造としても良い。このような構造は熱による劣化対策として有効である。

【0135】また、EL 駆動用 TFT 4503 のゲート電極 4506 を含む配線（図示せず）は、EL 駆動用 TFT 4503 のドレイン配線 4512 と絶縁膜を介して一部で重なり、その領域では保持容量が形成される。この保持容量は EL 駆動用 TFT 4503 のゲート電極 4506 にかかる電圧を保持する機能を有する。

【0136】スイッチング用TFT4502およびEL駆動用TFT4503の上には第1の層間絶縁膜4514が設けられ、その上に樹脂絶縁膜でなる第2の層間絶縁膜4515が形成される。

【0137】4517は反射性の高い導電膜でなる画素電極（EL素子の陰極）であり、EL駆動用TFT4503のドレイン領域に一部が覆い被さるように形成され、電気的に接続される。画素電極4517としてはアルミニウム合金膜、銅合金膜または銀合金膜など低抵抗な導電膜またはそれらの積層膜を用いることが好ましい。勿論、他の導電膜との積層構造としても良い。

【0138】次に有機樹脂膜4516を画素電極4517上に形成し、画素電極4517に面する部分をバーニングした後、EL層4519が形成される。なおここでは図示していないが、R（赤）、G（緑）、B（青）の各色に対応した発光層を作り分けても良い。発光層とする有機EL材料としてはπ共役ポリマー系材料を用いる。代表的なポリマー系材料としては、ポリバラフェニレンビニレン（PPV）系、ポリビニルカルバゾール（PVK）系、ポリフルオレン系などが挙げられる。

【0139】なお、PPV系有機EL材料としては様々な型のものがあるが、例えば「H.Shenk, H.Becker, O.Gelsen, E.Kluge, W.Kreuder and H.Spreitzer : "Polymers for Light Emitting Diodes", Euro Display, Proceedings, 1999, p.33-37」や特開平10-92576号公報に記載されたような材料を用いれば良い。

【0140】具体的な発光層としては、赤色に発光する発光層にはシアノポリフェニレンビニレン、緑色に発光する発光層にはポリフェニレンビニレン、青色に発光する発光層にはポリフェニレンビニレン若しくはポリアルキルフェニレンを用いれば良い。膜厚は30～150 [nm]（好ましくは40～100 [nm]）とすれば良い。

【0141】但し、以上の例は発光層として用いることのできる有機EL材料の一例であって、これに限定する必要はまったくない。発光層、電荷輸送層または電荷注入層を自由に組み合わせてEL層（発光およびそのためのキャリアの移動を行わせるための層）を形成すれば良い。

【0142】例えば、本実施例ではポリマー系材料を発光層として用いる例を示したが、低分子系有機EL材料を用いても良い。また、電荷輸送層や電荷注入層として炭化珪素等の無機材料を用いることも可能である。これらの有機EL材料や無機材料は公知の材料を用いることができる。

【0143】陽極4523まで形成された時点でEL素子4510が完成する。なお、ここでいうEL素子4510とは、画素電極（陰極）4517と、発光層4519と、正孔注入層4522および陽極4523で形成された保持容量とを指す。

【0144】ところで、本実施例では、陽極4523の上にさらにバッジベーション膜4524を設けている。バッジベーション膜4524としては窒化珪素膜または窒化酸化珪素膜が好ましい。この目的は、外部とEL素子とを遮断することであり、有機EL材料の酸化による劣化を防ぐ意味と、有機EL材料からの脱ガスを抑える意味との両方を併せ持つ。これにより電子装置の信頼性が高められる。

【0145】以上のように本実施例において説明してきた電子装置は図8のような構造の画素部を有し、オフ電流値の十分に低いスイッチング用TFTと、ホットキャリア注入に強いEL駆動用TFTとを有する。従って、高い信頼性を有し、且つ、良好な画像表示が可能な電子装置が得られる。

【0146】本実施例において説明した構造を有するEL素子の場合、発光層4519で発生した光は、矢印で示されるようにTFTが形成された基板の逆方向に向かって放射される。

【0147】[実施例6]本実施例においては、実施例5の図8に示した画素部において、EL素子4510の構造を反転させた構造について説明する。説明には図10を用いる。なお、図8の構造と異なる点はEL素子の部分とTFT部分だけであるので、その他の説明は省略することとする。

【0148】図10において、スイッチング用TFT4502は実施例5にて記述した方法で形成されたNチャネル型TFTを用いる。EL駆動用TFT4503は公知の方法で形成されたPチャネル型TFTを用いる。ここで、スイッチング用TFTとEL駆動用TFTとは、30その極性の同じ物を用いることが望ましい。

【0149】本実施例では、画素電極（陽極）4525として透明導電膜を用いる。具体的には酸化インジウムと酸化亜鉛との化合物でなる導電膜を用いる。勿論、酸化インジウムと酸化スズとの化合物でなる導電膜を用いても良い。

【0150】そして、樹脂膜でなる第3の層間絶縁膜4526が形成された後、発光層4528が形成される。その上にはカリウムアセチルアセトネット（acacKと表記される）でなる電子注入層4529、アルミニウム合金でなる陰極4530が形成される。

【0151】その後、実施例5と同様に、有機EL材料の酸化を防止するためのバッジベーション膜4532が形成され、こうしてEL素子4531が形成される。

【0152】本実施例において説明した構造を有するEL素子の場合、発光層4528で発生した光は、矢印で示されるようにTFTが形成された基板の方に向かって放射される。

【0153】[実施例7]本発明の駆動方法を実施するには、図17に示したように、画素部に保持容量線1715を配置する必要がある。このような構造では、図16

に示したような、保持容量 1604 の一方の端子を電流供給線 1607 に接続した構造の画素部と比べて、配線数が増加するため、開口率の面で不利となる。よって本実施例においては、電流供給線をゲート信号線で共用することにより、画素部の配線数を減らした構造の画素を用いて、本発明の駆動方法を実施する例について述べる。なお、本実施例にて示す、電流供給線とゲート信号線との共用構造を有する画素に関しては、特願 2000-087683 に記載されているものを用いる。

【0154】図 11 を参照する。図 11 は、電流供給線とゲート信号線との共用構造を有する画素を用いて、本発明の駆動方法を実施するための回路構成例である。基板 1150 の中央部に画素部 1154 が配置されている。画素部 1154 の上側には、ソース信号線側駆動回路 1151 が配置されている。画素部 1154 の左側には、ゲート信号線側駆動回路 1151152 が配置されている。画素部の右側には、保持容量線駆動回路 1153 が配置されている。図 11 (B) は、この 1 画素分の回路図である。1101 はスイッチング用 TFT、1102 は EL 駆動用 TFT、1103 は EL 素子、1104 は保持容量、1105 はゲート信号線、1106 はゲート信号線 1105 の 1 行前のゲート信号線、1107 はソース信号線、1108 は保持容量線である。

【0155】構造上の特徴は、EL 駆動用 TFT 1102 のソース領域とドレイン領域のうちの一方が、1 行前のゲート信号線 1106 に接続されている点である。図 110 (B) において、ゲート信号線 1106 が k-1 行目、ゲート信号線 1105 が k 行目に走査されるとすると、まず k-1 行目のゲート信号線 1106 の走査があり、それが終了したのち、直ちに k 行目のゲート信号線 1105 の走査が行われるが、k 行目のゲート信号線 1105 の走査中は、k-1 行目のゲート信号線 1106 は既に走査は終了し、一定電位となっている。この点に着目し、k 行目のゲート信号線 1105 によって制御される EL 素子 1103 への電流の供給を、k-1 行目のゲート信号線 1106 を利用して行うというものである。

【0156】ところで、EL 駆動用 TFT 1102 は、N チャネル型、P チャネル型のいずれの極性のものでも用いても良い。ただし前述のように、ソース接地のよいこと、EL 素子の構造上の制約などの点を考慮すると、P チャネル型を用いることが望ましい。本実施例では、EL 駆動用 TFT 1102 は P チャネル型を用いるものとして説明する。

【0157】また、理由は後述するが、スイッチング用 TFT 1101 は、この場合 EL 駆動用 TFT 1102 と同じ極性の TFT を用いる必要がある。

【0158】以下に、実際の駆動に関する説明を行う。図 12、図 13 にタイミングチャートを示す。例は 3 ビット階調の表示であり、サステイン (点灯) 期間 T_s、

は、アドレス (書き込み) 時間よりも短い。実施例 1 の回路と、本実施例の回路では、画素部の構造に相違があるが、アドレス (書き込み) 時間の重複を回避するため、保持容量線 1108 の電位を上げることでクリア期間 (クリア期間) を設けるというように、実施例 1 にて説明した通りの駆動が可能である。k-1 行目のゲート信号線 1106 は、選択期間終了後に一定電位となり、次の選択期間が来るまでの期間、k 行目のゲート信号線 1105 によって制御される EL 素子 1103 に電流の供給を行う。

【0159】ここで、先の TFT の極性に関して述べる。前に、スイッチング用 TFT 1101 と EL 駆動用 TFT 1102 の極性は同じくする必要があると述べた。つまり本実施例の場合では、EL 駆動用 TFT 1102 は P チャネル型を用いているから、スイッチング用 TFT 1101 も P チャネル型とする必要があるということである。仮にスイッチング用 TFT 1101 がここで N チャネル型であったとすると、このスイッチング用 TFT 1101 を導通させるには、スイッチング用 TFT 1101 のゲート電極に H_i 信号が入力されなければならない。つまり、ゲート信号線 1105、1106 は、選択状態のとき H_i 電位、非選択状態のとき L_O 電位となる。EL 駆動用 TFT 1102 は P チャネル型であるから、EL 素子 1103 に電流を供給するには、EL 素子の陽極 1110 よりも、EL 駆動用 TFT 1102 のソース側、つまりゲート信号線 1106 の電位が高くなっているなければならない。よって、前述のように、スイッチング用 TFT 1101 が N チャネル型の場合、それを駆動するようなゲート信号線の電位の取り方で 30 は、非選択期間において L_O 電位を取るため、EL 素子 1103 に電流の供給を行うことが出来なくなる。よって EL 駆動用 TFT 1102 が P チャネル型の場合は、スイッチング用 TFT 1101 も P チャネル型とする必要がある。

【0160】なお、本実施例の回路構成において、k 行目のゲート信号線 1105 によって制御される画素の EL 素子 1103 への電流の供給は、k-1 行目のゲート信号線 1106 に接続することで行っているが、非選択状態にあるゲート信号線であれば、どのゲート信号線を用いても同様の駆動は可能である。ゲート信号線の信号波形のなまりが生ずる場合等を考えると、隣接しているゲート信号線ではなく、1 列以上の間を空けたゲート信号線によって電流供給を行うのが望ましいが、接続用の配線が増加することで開口率の低下を招くため、これらは回路構成、TFT 素子の特性等により、最良の方法を選択すれば良い。

【0161】[実施例 8] 本発明において、保持容量線の電位を制御する保持容量線駆動回路は、実施例 1 の例では独立した回路を配置する構成をとっているが、図 21 (A) に示すように、1 つの回路として構成しても良

い。ところで、ゲート信号線側駆動回路は、画素部の両側に配置するのが駆動する上では望ましい。よって、図21(B)に示すように、ゲート信号線側駆動回路と保持容量線駆動回路とを1つの回路として構成し、両側配置としても良い。

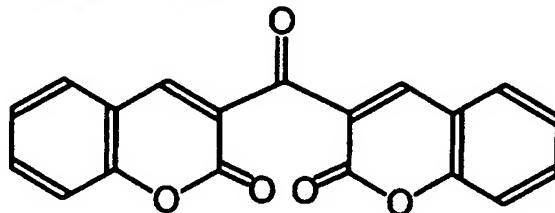
【0162】[実施例9]本発明において、三重項励起子からの発光を発光に利用できるEL材料を用いることで、外部発光量子効率を飛躍的に向上させることができ。これにより、EL素子の低消費電力化、長寿命化、*

*および軽量化が可能になる。

【0163】ここで、三重項励起子を利用し、外部発光量子効率を向上させた報告を示す。(T.Tsutsui, C.Adachi, S.Saito, Photochemical Processes in Organized Molecular Systems, ed.K.Honda, (Elsevier Sci.Pub., Tokyo,1991) p.437.) 上記の論文により報告されたEL材料(クマリン色素)の分子式を以下に示す。

【0164】

【化1】

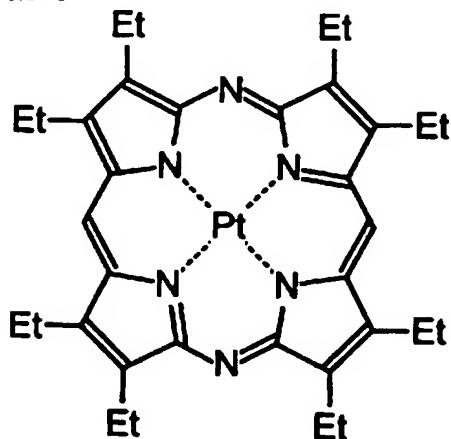


【0165】(M.A.Baldo, D.F.O'Brien, Y.You, A.Shustikov, S.Sibley, M.E.Thompson, S.R.Forrest, Nature 395 (1998) p.151.)

上記の論文により報告されたEL材料(Pt錯体)の分子式を以下に示す。

【0166】

【化2】

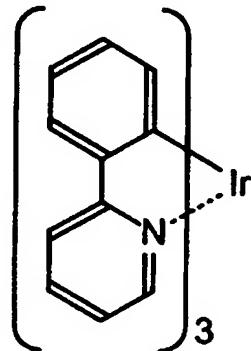


【0167】(M.A.Baldo, S.Lamansky, P.E.Burrows, M.E.Thompson, S.R.Forrest, Appl.Phys.Lett., 75 (1999) p.4.)

(T.Tsutsui, M.-J.Yang, M.Yahiro, K.Nakamura, T.Watanabe, T.tsuji, Y.Fukuda, T.Wakimoto, S.Mayauchi, Jpn.Appl.Phys., 38 (12B) (1999) L1502.) 上記の論文により報告されたEL材料(Ir錯体)の分子式を以下に示す。

【0168】

【化3】



30 【0169】以上のように三重項励起子からの発光発光を利用できれば原理的には一重項励起子からの蛍光発光を用いる場合より3~4倍の高い外部発光量子効率の実現が可能となる。なお、本実施例の構成は、実施例1~実施例8のいずれの構成とも自由に組みあせて実施することが可能である。

【0170】[実施例10]本発明の電子装置の駆動方法を応用了したELディスプレイは、自発光型であるため液晶ディスプレイに比べて明るい場所での視認性に優れ、しかも視野角が広い。従って、様々な電子機器の表示部として用いることが出来る。例えば、TV放送等を大画面で鑑賞するには対角30インチ以上(典型的には40インチ以上)のELディスプレイの表示部において本発明の電子装置の駆動方法を用いると良い。

【0171】なお、ELディスプレイには、パソコン用表示装置、TV放送受信用表示装置、広告表示用表示装置等の全ての情報表示用表示装置が含まれる。また、その他にも様々な電子機器の表示部に本発明の電子装置の駆動方法を用いることが出来る。

【0172】その様な本発明の電子機器としては、ビデオカメラ、デジタルカメラ、ゴーグル型表示装置(ヘッ

ドマウントディスプレイ)、ナビゲーションシステム、音響再生装置(カーオーディオ、オーディオコンポ等)、ノート型パーソナルコンピュータ、ゲーム機器、携帯情報端末(モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍等)、記録媒体を備えた画像再生装置(具体的にはデジタルビデオディスク(DVD)等の記録媒体を再生し、その画像を表示しうるディスプレイを備えた装置)などが挙げられる。特に、斜め方向から見ることの多い携帯情報端末は視野角の広さが重要視されるため、ELディスプレイを用いることが望ましい。それら電子機器の具体例を図22および図23に示す。

【0173】図22(A)はELディスプレイであり、筐体3301、支持台3302、表示部3303等を含む。本発明の電子装置および駆動方法は表示部3303にて用いることが出来る。ELディスプレイは自発光型であるためバックライトが必要なく、液晶ディスプレイよりも薄い表示部とすることが出来る。

【0174】図22(B)はビデオカメラであり、本体3311、表示部3312、音声入力部3313、操作スイッチ3314、バッテリー3315、受像部3316等を含む。本発明の電子装置および駆動方法は表示部3312にて用いることが出来る。

【0175】図22(C)はヘッドマウントELディスプレイの一部(右片側)であり、本体3321、信号ケーブル3322、頭部固定バンド3323、表示部3324、光学系3325、表示装置3326等を含む。本発明の電子装置および駆動方法は表示装置3326にて用いることが出来る。

【0176】図22(D)は記録媒体を備えた画像再生装置(具体的にはDVD再生装置)であり、本体3331、記録媒体(DVD等)3332、操作スイッチ3333、表示部(a)3334、表示部(b)3335等を含む。表示部(a)3334は主として画像情報を表示し、表示部(b)3335は主として文字情報を表示するが、本発明の電子装置および駆動方法はこれら表示部(a)3334、表示部(b)3335にて用いることが出来る。なお、記録媒体を備えた画像再生装置には家庭用ゲーム機器なども含まれる。

【0177】図22(E)はゴーグル型表示装置(ヘッドマウントディスプレイ)であり、本体3341、表示部3342、アーム部3343を含む。本発明の電子装置および駆動方法は表示部3342にて用いることが出来る。

【0178】図22(F)はパーソナルコンピュータであり、本体3351、筐体3352、表示部3353、キーボード3354等を含む。本発明の電子装置および駆動方法は表示部3353にて用いることが出来る。

【0179】なお、将来的にEL材料の発光輝度が高くなければ、出力した画像情報を含む光をレンズ等で拡大投

影してフロント型あるいはリア型のプロジェクターに用いることも可能となる。

【0180】また、上記電子機器はインターネットやCATV(ケーブルテレビ)などの電子通信回線を通じて配信された情報を表示することが多くなり、特に動画情報を表示する機会が増してきている。EL材料の応答速度は非常に高いため、ELディスプレイは動画表示に好ましい。

【0181】また、ELディスプレイは発光している部分が電力を消費するため、省消費電力化のためには発光部分が極力少なくなるように情報を表示することが望ましい。従って、携帯情報端末、特に携帯電話や音響再生装置のような文字情報を主とする表示部にELディスプレイを用いる場合には、非発光部分を背景として文字情報を発光部分で形成するように駆動することが望ましい。

【0182】図23(A)は携帯電話であり、本体3401、音声出力部3402、音声入力部3403、表示部3404、操作スイッチ3405、アンテナ3406等を含む。本発明の電子装置および駆動方法は表示部3404にて用いることが出来る。なお、表示部3404は黒色の背景に白色の文字を表示することで携帯電話の消費電力を抑えることが出来る。

【0183】図23(B)は音響再生装置、具体的にはカーオーディオであり、本体3411、表示部3412、操作スイッチ3413、3414を含む。本発明の電子装置および駆動方法は表示部3412にて用いることが出来る。また、本実施例では車載用オーディオを示すが、携帯型や家庭用の音響再生装置に用いても良い。

【0184】以上のように、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に用いることが可能である。また、本実施例の電子機器は実施例1～実施例9に示したいずれの構成を適用しても良い。

【発明の効果】

【0185】本発明の効果について述べる。まず、本発明では、ある行の画素に信号を入力している期間にも、別の行の画素を非表示状態にすることが出来る。それにより、各々の行の画素において、アドレス(書き込み)期間よりも短いサステイン(点灯)期間でも自由に設定することが出来るため、多階調化が可能となる。

【0186】また、本発明の駆動方法においては、EL素子を非表示にする操作は、保持容量線の電位を変化させることにより行われるので、陰極配線には、常に一定の電位が与えられる。従来のようにパルス状の信号ではないため、陰極線の電圧波形のなまりによって生じる様々な問題点を回避することが出来る。

【0187】また、画素部の構成は、トランジスタや容

量、配線などを新たに追加する必要がない。そのため、開口率を下げることなく、画質の向上が見込める。

【図面の簡単な説明】

【図1】 実施例1に記載の、本発明の駆動方法を説明するタイミングチャート。

【図2】 実施例1に記載の、本発明の駆動方法を説明するタイミングチャート。

【図3】 実施例2に記載の、本発明の駆動方法を説明するタイミングチャート。

【図4】 実施例3に記載の、電子装置の作成工程例を示す図。

【図5】 実施例3に記載の、電子装置の作成工程例を示す図。

【図6】 実施例3に記載の、電子装置の作成工程例を示す図。

【図7】 実施例4に記載の、電子装置の上面図および断面図。

【図8】 実施例5に記載の、電子装置の画素部の断面図。

【図9】 実施例5に記載の、電子装置の作成工程例を示す図。

【図10】 実施例6に記載の、電子装置の画素部の断面図。

* 【図11】 実施例7に記載の、電子装置の回路構成例。

【図12】 実施例7に記載の、本発明の駆動方法を説明するタイミングチャート。

【図13】 実施例7に記載の、本発明の駆動方法を説明するタイミングチャート。

【図14】 電子装置の回路構成例。

【図15】 時間階調における、フレーム期間の分割を説明するタイミングチャート。

【図16】 電子装置の回路構成例。

【図17】 電子装置の回路構成例。

【図18】 本発明の駆動方法における、各部の信号電位を説明する図。

【図19】 本発明の駆動方法における、各部の信号電位を説明する図。

【図20】 実施例1に記載の、電子装置の回路構成例。

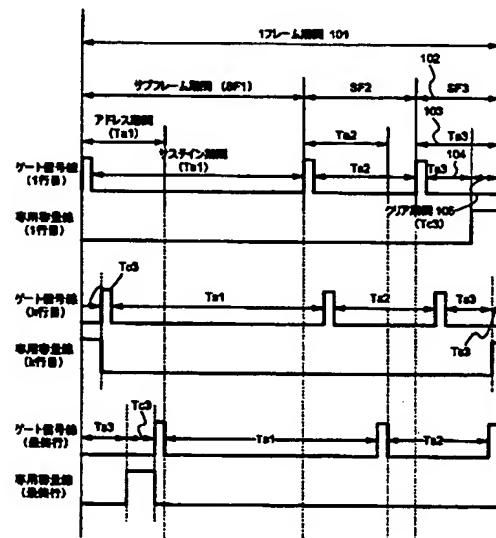
【図21】 実施例8に記載の、電子装置の回路構成例。

【図22】 実施例10に記載の、本発明の電子装置の駆動方法を適用した電子機器の例。

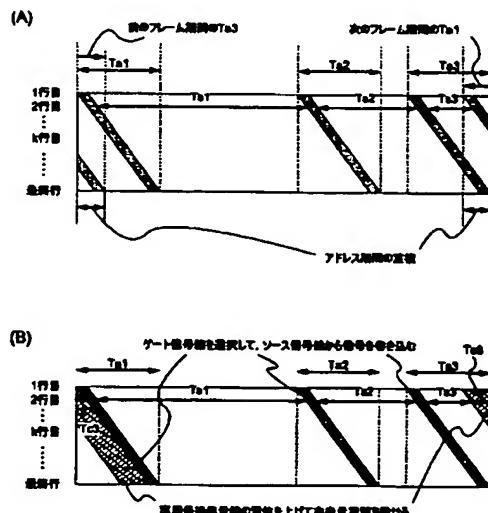
【図23】 実施例10に記載の、本発明の電子装置の駆動方法を適用した電子機器の例。

*

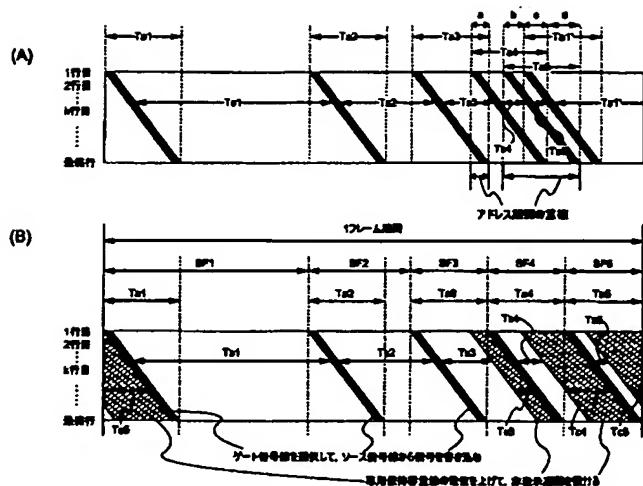
【図1】



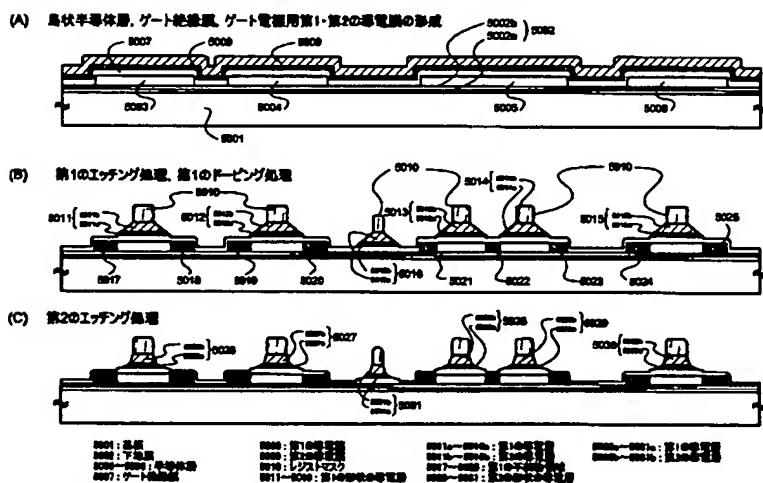
【図2】



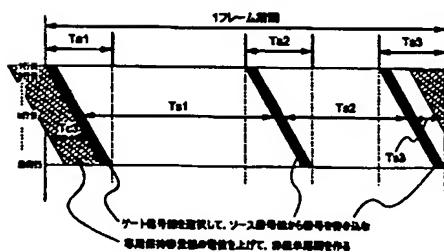
[図3]



[図4]

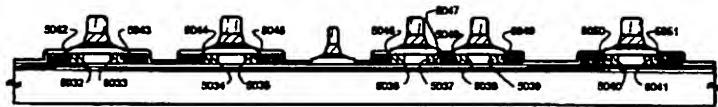


[図13]



【図5】

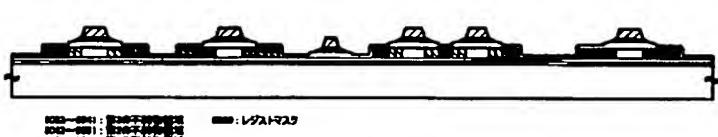
(A) 第2のドーピング処理



(B) 第3のドーピング処理

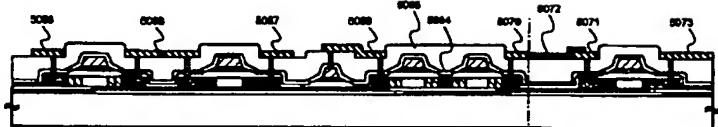


(C) 銅活性化処理

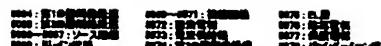
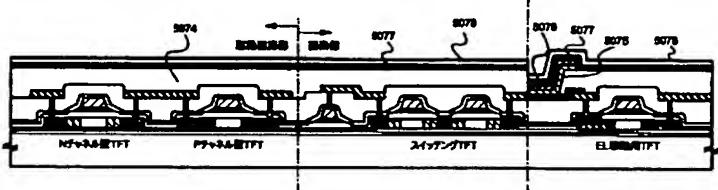


【図6】

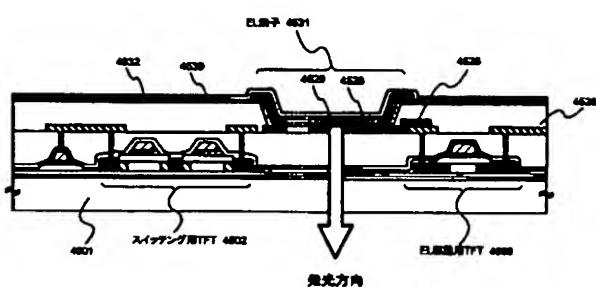
(A) 第1, 第2の層間絕縁膜, 記憶, 面素電極形成



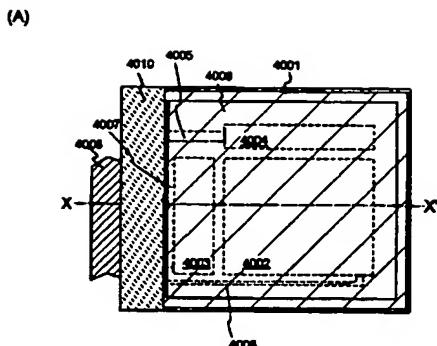
(B) 第3の層間絶縁膜, EL層, 路板電極, 保護電極, パンペークン層形成



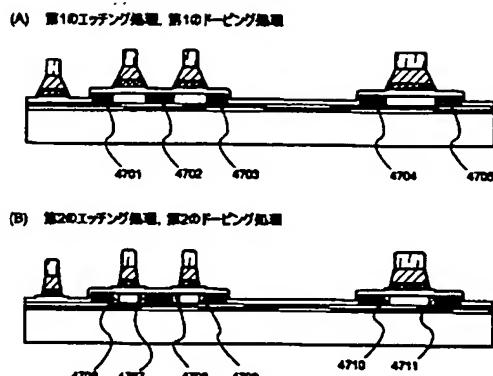
【図10】



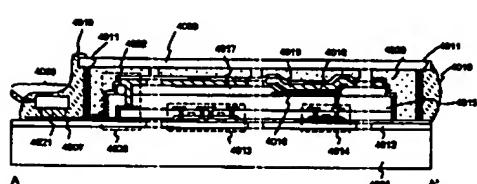
〔図7〕



[图9]

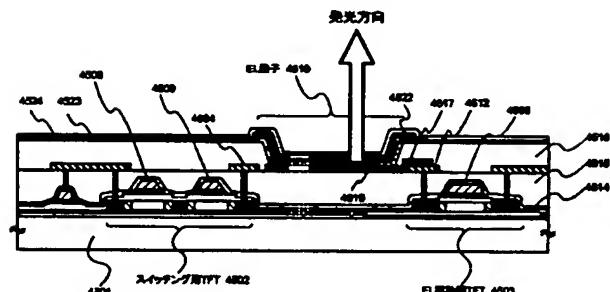


(B)

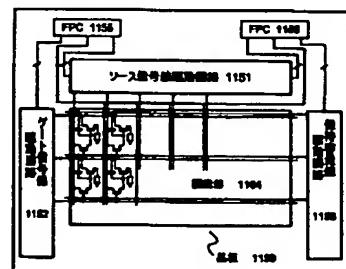


[圖 11]

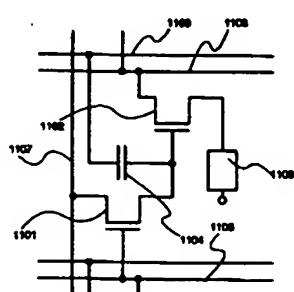
【図8】



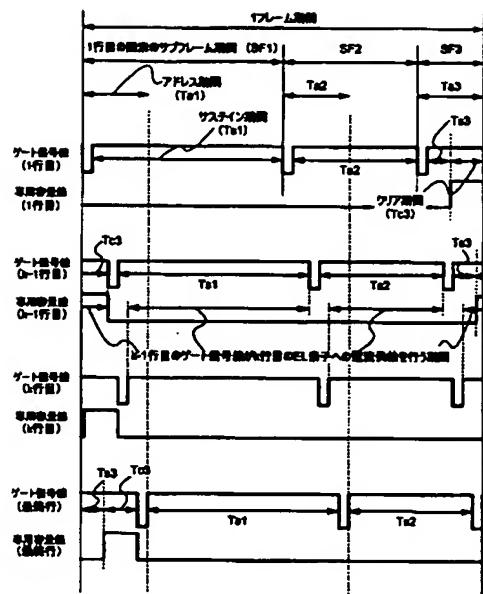
(A)



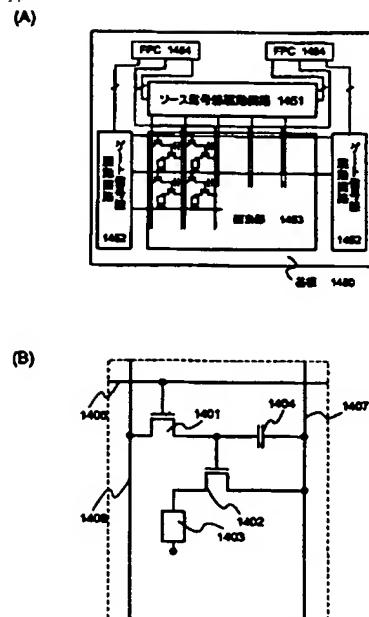
(B)



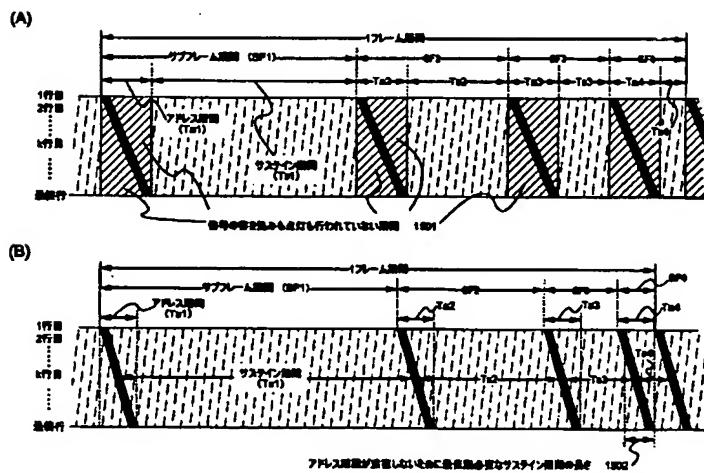
[図12]



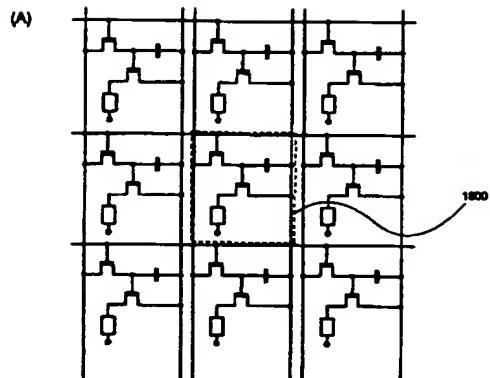
〔図14〕



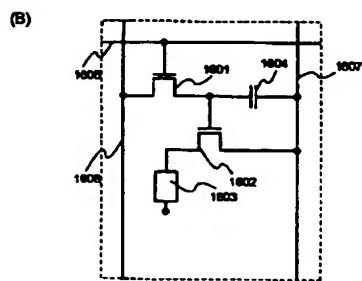
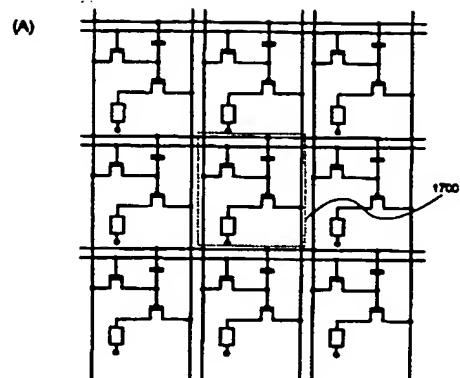
〔図15〕



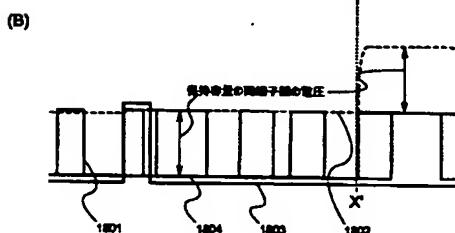
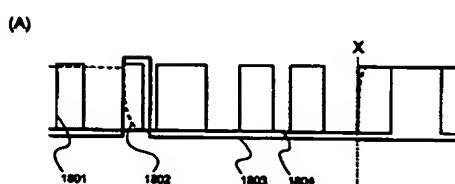
【図16】



【図17】

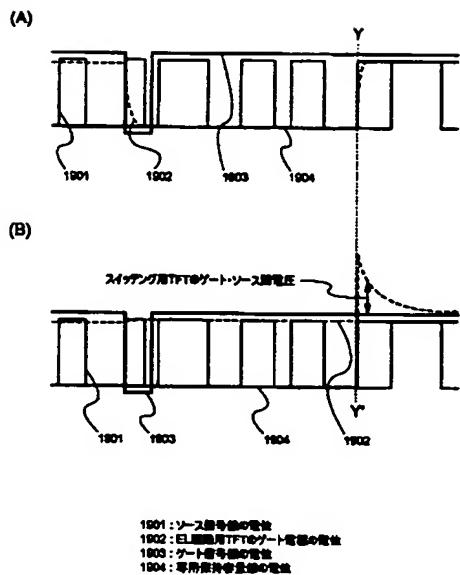


【図18】



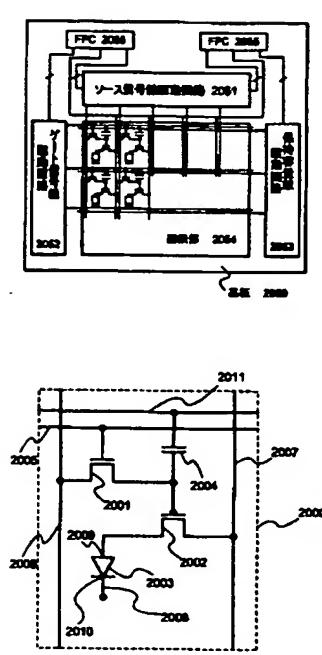
1801: ソース信号線の電位
1802: EL駆動用TFTのゲート電極の電位
1803: ゲート信号線の電位
1804: 事前保持電源の電位

[図19]

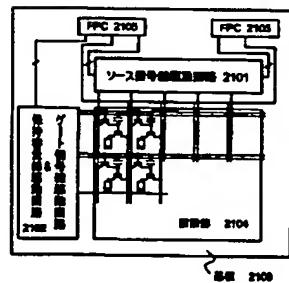


[図21]

[図20]

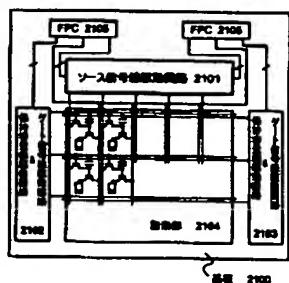


(A)



[図23]

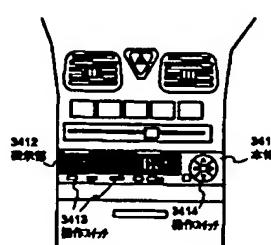
(B)



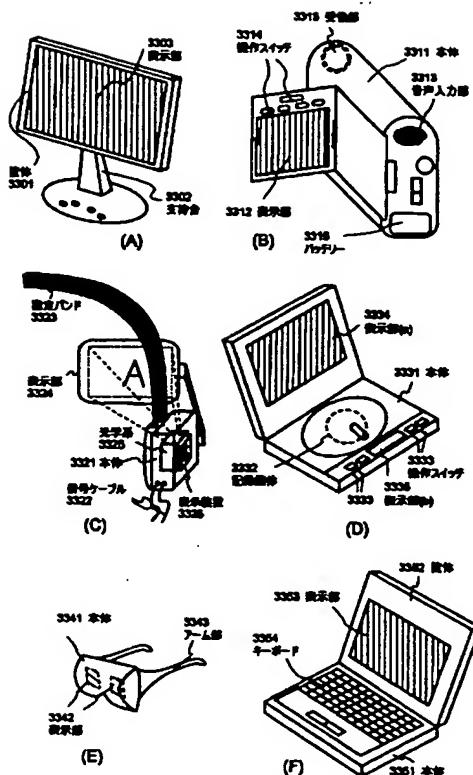
(A)



(B)



【図22】



フロントページの続き

(51)Int.CI.՝

G 09 G 3/20

識別記号

6 4 1

6 8 0

F I

G 09 G 3/20

マーク(参考)

6 4 1 E

6 8 0 A

6 8 0 P

6 8 0 S

6 8 0 V

H 05 B 33/14

H 05 B 33/14

A

F ターム(参考) 3K007 AB05 BA06 CA03 CB01 DA02
 EB00
 SC080 AA06 BB05 EE29 FF11 JJ02
 JJ04 JJ06 KK01 KK20 KK43
 KK47
 SC094 AA21 BA03 BA27 CA19 CA24
 EA04 EA05 EA07 EB05